

004  
С 99

**ЎЗБЕКИСТОН РЕСПУБЛИКАСИ АЛОҚА ВА  
АХБОРОТЛАШТИРИШ АГЕНТЛИГИ**

**Тошкент ахборот технологиялари университети  
"Компьютер тизимлари" кафедраси**

**Олий таълимнинг**

**5521900 – Информатика ва ахборот технологияси,  
5523500 - Ахборот хавфсизлиги, 5140900 - Касб таълими  
(Информатика ва ахборот технологияси), 5811300 -  
Сервис (электрон ва компьютер техникаси)  
бакалавриатура йўналишлари бўйича таҳсил оладиган  
талабалар учун**

**"СХЕМОТЕХНИКА"**

**фанидан**

**МАЪРУЗАЛАР ТўПЛАМИ**

**Тошкент – 2009**

**ЎЗБЕКИСТОН РЕСПУБЛИКАСИ АЛОҚА ВА  
АХБОРОТЛАШТИРИШ АГЕНТЛИГИ**

**Тошкент ахборот технологиялари университети  
"Компьютер тизимлари" кафедраси**

**Олий таълимнинг**

**5521900 – Информатика ва ахборот технологияси,  
5523500 - Ахборот хавфсизлиги, 5140900 - Касб таълими  
(Информатика ва ахборот технологияси), 5811300 -  
Сервис (электрон ва компьютер техникаси)  
бакалавриатура йўналишлари бўйича таҳсил оладиган  
талабалар учун**

**"СХЕМОТЕХНИКА"**

**фанидан**

**МАЪРУЗАЛАР ТЎПЛАМИ**

**Тошкент – 2009**

## Муқаддима

Ушбу "Схемотехника" фанидан маърузалар матни "Ахборот технологиялари" факультетидаги барча бакалавриатура йўналишлари ўқув режаларининг 3 блок фанлари сирасига киради. Ўқув режасига биноан 34 соат маъруза ўқиш, 16 соатлик амалий машғулотлар ва 16 соатлик лаборатория ишларини бажариш кўзда тутилган.

Тўпламда компьютер ва компьютер тизимлари схемотехникаси ривожининг тарихи, яримўтказичлар, турли яримўтказгич тузилмалари асосида қурилган мантиқий элементлар схемотехникаси, компьютер базавий узелларининг схемотехникаси ва ишлаш принциплари, хотирловчи қурилмаларнинг замонавий тузилмалари, рақам-аналог ва аналог-рақам ўтгартгичлар схемотехникаси, микропроцессор ва микроконтроллер қурилмалари баён этилган.

Тузувчилар: т.ф.д., проф. С.К. Ғаниев,  
т.ф.н., доц. Т.А. Қўчқоров,  
катта ўқит. Х.Н. Ғуломова.

"Схемотехника" фанидан тузилган маърузалар матнини "Компьютер тизимлари" кафедраси жамоаси ўрганиб чиқиб, унинг ушбу фан дастури асосида тузилганлигини тасдиқлайди ва чоп этишга тавсия этади.

10-сон қайднома, 25 феврал 2009 йил.

## 1-маъруза

### Кириш. Схемотехника таърифи, фаннинг бакалавр тайёрлаш тизимидаги мақсади ва вазифалари. Компьютер ва компьютер тизимларининг схемотехник асоси ривожининг қисқача тарихи

#### Режа:

1. Фаннинг вазифаси ва мазмуни.
2. Компьютер схемотехникаси асоси ривожининг қисқача тарихи.
3. Компьютер элементларининг туркумланиши.
4. Ахборотни физик сигналлар орқали ифодаланиши.

**Таянч иборалар:** компьютер, қурилма, элементлар, узел, электрорадиокомпонентлар, компьютер тизими (КТ), компьютернинг элемент асослари, компьютер авлодлари, интеграл схема (ИС), катта интеграл схема (БИС), ўта катта интеграл схемалар (СБИС), потенциал, импульс, параллел код, кетма-кет код.

1. Замонавий компьютерлар ва компьютер тизимлари ва тармоқлари "Схемотехника" фанида ўрганиладиган намунавий электрон схемаларда қурилади.

"Схемотехника" фанининг вазифаси замонавий компьютер, компьютер тизимлари ва тармоқларининг схемотехник асосини ўрганишдан иборат.

Фаннинг ўрганиш натижасида талабалар:

- замонавий компьютер, компьютер тизимлари ва тармоқлари асосини ташкил этувчи интеграл схемалар

мажмуаларини, характеристикаларини ва функционал вазибаларини билишлари;

- интеграл схемалар асосида комбинацион ва тадрижий (хотирали) схемаларни кура олишлари;

- катта интеграл схемалар асосида курилмаларни куришнинг асосий усулларини билишлари;

- интеграл схемалар асосида яратилган курилма параметрларини ўлчаш, уларни созлаш ва синаш кўникмаларига эга бўлишлари шарт.

Маълумки, ҳар қандай компьютер ва компьютер тизими ахборотни қабул қилувчи, вақтинча сақловчи, ахборотга ишлов берувчи ва истемолчига тақдим этувчи курилмалардан (процессор, хотира, киритиш-чиқариш курилмалари) иборат.

Курилмалар намунавий узеллар (регистрлар, санагичлар, жамлагичлар, дешифраторлар ва х.) асосида курилади.

Намунавий узеллар эса элементлар (мантикий ва тадрижий элементлар)дан ташкил топади.

Элементлар электрорадиокомпонентлар (резистор, конденсатор, диод, транзистор ва х.) асосида курилади ва компьютернинг элемент асосини ташкил этади (1.1-расм).

2. Ишлатиладиган элемент асосининг компонентлари бўйича, компьютер авлодларига ўхшаш компьютер схемотехникаси ривожининг тўртта асосий авлодини ажратиш мумкин.

*Биринчи авлод* (1904 – 1950 й.й.) компьютер схемотехникаси элемент асосини электр вакуум ва газоразряд асбоблар ташкил этар эди. Унга электрон лампа, электрон вакуум трубкалар, газоразряд индикаторлар ва х. мансуб.

*Иккинчи авлод* (1950 – 1960 йилларнинг бошлари) компьютер схемотехникаси дискрет яримўтказгич

асбоблар (диодлар, транзисторлар, тиристорлар ва х.) ишлатилиши билан характерланади.



1.1-расм Ҳисоблаш тизимларининг иерархик тузилмаси

Учинчи авлод (1960 – 1980 й.й.) компьютер схемотехникаси микро-электрониканинг баравж ривож ва интеграция даражаси турли интеграл схемаларнинг ҳамда микроқотишмаларнинг яратилиши билан боғлиқ. Бу босқичда элементлар ишончилиги ошди, ўлчамлари, массаси, энергия истеъмоли камайди.

Тўртинчи авлод (1980 йилдан то ҳозирги вақтгача) компьютер схемотехникаси микроминиатюризациялаш, катта ва ўта катта интеграл схемалар ишлатилиши билан боғлиқ.

Элемент асосининг компонентлари, уларнинг параметрлари ва компьютер авлодлари орасидаги боғланишни жадвал орқали тасаввур этиш

мумкин (1.1-жадвал).

3. Сигналларни шакллантириш ва узатиш усуллари бўйича компьютер элементлари иккита синфга бўлинади: аналог ва дискрет.

*Аналог элементлар* узлуксиз (аналог) функция қонуниятига бўйича ўзгарувчи сигналларни қабул қилиш, ўзгартириш ва узатиш учун мўлжалланган. Аналог схемотехникаси соддалиги, тезкорлиги билан ажралиб турсада, ташқи омиллар, масалан харорат, намлик, вақт ва х. таъсирида параметрларининг беқарорлиги содир бўлади.

Аломат, параметр	Авлодлар				
	I (1946-1955 й.й.)	II (1955-1965 й.й.)	III (1965-1970 й.й.)	IV (1970-1980 й.й.)	V (1980 йилдан)
Асосий компонентлар	Электромеханик реле, электрон лампалар	Яримўтказгич асбоблар (диодлар, транзисторлар)	Интеграл схемалар – (ИС)	Катта интеграл схемалар (БИС)	Ўта катта интеграл схемалар (СБИС)
Асосий компонентларнинг тезкорлиги (кечиктириши)	1 мс	1 мкс	10 нс	1 нс	< 1 нс
Компонентларнинг жойлашиш зичлиги [1/см <sup>3</sup> ]	0,1	2-3	10-20	1000	> 10000

*Дискрет элементлар* дискрет шаклда ифодаланган сигналларни қабул қилиш, ўзгартириш ва узатиш учун мўлжалланган. Бундай элементлар ҳалаларга бардошлиги, катта бўлмаган энергия истеъмоли ва нарҳининг пастлиги билан ажралиб туради.

Ўз навбатида дискрет элементлар *импульс* ва *рақам элементларга* бўлинади.

*Импульс элементлар* сигналлар кетма-кетлигини шакллантиради. Аналог ахборотни импульслар кетма-кетлигига ўзгартириш жараёни импульс модуляциялаш деб аталади.

*Рақам элементларда* сигнални кодлаш амалга оширилади, яъни у бир хил импульсларнинг маълум кетма-кетлигига ўзгартирилади.

Рақам элементларнинг юқори ишончлилиги, ҳалаларга бардошлиги, ахборотни йўқотмасдан узоқ вақт мобайнида сақлайолиши, интеграл технологияга мойиллиги уларни ҳозирда жуда кенг тарқалишига сабаб бўлди.

Рақам элементларга мантиқий элементлар ва триггерлар киради. Ушбу элементлар асосида

компьютернинг "базавий" узеллари шакллантирилади. "Базавий" номи бу узелларнинг компьютернинг барча қурилмаларида учрашини билдиради. Уларга регистрлар, санагичлар, жамлагичлар, дешифраторлар, шифраторлар, мультиплексорлар, демультимплексорлар ва х. киради.

Баъзи компьютер қурилмаларида ҳам аналог, ҳам рақамли ахборот ишлатилади. Бу қурилмалар комбинацияланган қурилмаларга мансуб. Мисол сифатида аналог-рақам ва рақам-аналог ўзгартгичларини кўрсатиш мумкин.

4. Иккилиқ алфавитдаги 0 ва 1 белгиларнинг физик аналоги сифатида қийматлари аниқ фаркланувчи сигналлар ишлатилади. Масалан, юқори ва паст сатхли кучланиш (потенциал), электр импульсининг борлиги ёки йўқлиги, ишоралари бир-бирига тескари магнит майдонининг қийматлари ва х.

Рақам қурилмаларда ўзгарувчилар ва уларга мос сигналлар вақтнинг дискрет онларида ўзгаради. Дискрет вақтнинг иккита қўшни онлари ўртасидаги вақт оралиғи такт ёки ахборотни ифодалаш даври деб аталса, вақтнинг дискрет онлари дискрет онлар деб аталади. Дискрет вақтни вақт ўқида кетма-кет такт онларига мос келувчи номерланган нуқталар мажмуи кўринишида ифодалаш мумкин.

Такт онлари ўртасидаги вақт оралиғи ихтиёрий бўлиши мумкин. Бошқача айтганда, схемада  $i$ -нчи вақт ониде ўзгарувчилар ва мос сигналлар қиймати жорий вақт  $t_i$  га боғлиқ бўлмай, фақат  $i$ -нчи такт они номерига боғлиқ. Аксарият ҳолларда рақам қурилмаларда дискрет вақт онларини белгиловчи синхронловчи сигналларни (СС) ишлаб чиқарувчи махсус блок бўлади.



Рақамли ҳисоблаш қурилмаларида ахборотни физик ифодалашда одатда потенциал ва импульс усуллари қўлланилади. Потенциал усулда (1.2.-расм, "а") 1 ва 0 ўзгарувчиларга машина схемасининг мос нуктасида кучланишнинг турли сатхлари мос келади (потенциал код). Потенциал сигнал сатхи ахборотни ифодалаш даври мобайнида (тактда) ўзгармайди.

Ахборотни импульс усулида ифодалашда (1.2.-расм, "б") иккили ўзгарувчининг бирлик ва нуллиқ қиймати схеманинг мос нуктасида электр импульсининг борлиги ёки йўқлиги орқали ифодаланади (импульс код).

Импульс сигнални унинг амплитудаси  $U_m$ , асоси (1.2.-расм, "б") бўйича давомийлиги  $t_{acoc}$  орқали характерлаш мумкин. Импульснинг ўсиш вақти  $t_{фр}$  ва пасайиш вақти  $t_{нас}$  мос ҳолда унинг фронти ва пасайиши деб аталади.

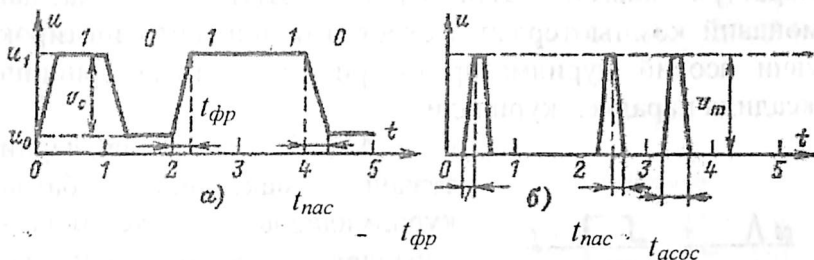
Худди шундай тушунчаларни потенциал сигналга ҳам қўллаш мумкин (1.2-расм, "а"). Потенциал сигнал кучланишнинг юқори ва пастки сатхларининг фарқи билан ҳам характерланади.

Потенциал сигналда фронт ва пасайиш тушунчалари мос ҳолда кучланишларнинг пастки сатхдан юқори сатхга ва юқори сатхдан пастки сатхга ўтиш жараёни билан доимо боғлиқ.

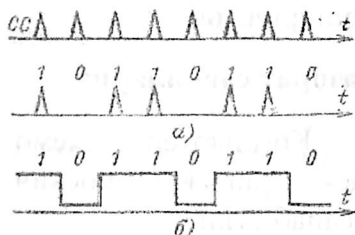
Ахборотни ифодалашда ишлатиладиган сигналлар хилига боғлиқ ҳолда рақам қурилма схемаларини импульс, потенциал ва импульс-потенциал схемаларга ажратиш қабул қилинган. Импульс схемаларда фақат импульс сигналлари ишлатилади, потенциал схемаларда фақат потенциал сигналлар ишлатилади, импульс-потенциал схемаларда ҳам импульс, ҳам потенциал сигналлар ишлатилади.

Сўзни кетма-кет ёки параллел усул орқали ифодалаш мумкин (кетма-кет ёки параллел код).

Ахборотни кетма-кет усулда ифодалашда ҳар бир вақт такти сўз кодининг битта хонасини акслантиради (1.3.-расм). Бу ҳолда сўзнинг барча хоналари навбат билан битта элемент билан қайдланади ва ахборот узатишнинг битта канали орқали ўтади.



1.2-расм. Рақамли ахборотни ифодалаш усуллари.  
 а - потенциал типдаги сигналлар; б - импульс типдаги сигналлари



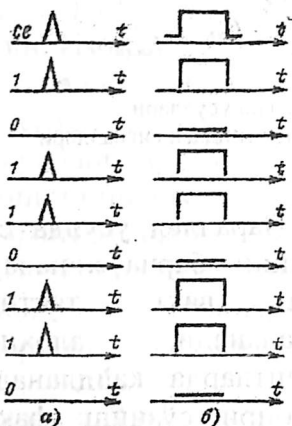
1.3-расм. Кетма-кет импульс код (а), кетма-кет потенциал код (б)

Параллел усулда сўз кодининг барча хоналари битта вақт тактида ифодаланади, алоҳида элементларда қайдланади, ҳар бири сўзнинг фақат битта хонасини ифодалаш ва узатишга хизмат қилувчи алоҳида каналлар орқали ўтади (1.4.-расм).

Қўлланиладиган кодга боғлиқ ҳолда ҳисоблаш техникасининг қурилмалари кетма-кет ёки параллел қурилмалар деб аталади. Кетма-кет код ишлатилганида барча амаллар, шу жумладан сўзларни бир узелдан иккинчи узелга узатиш сўзнинг ҳар бир хонаси учун навбат билан амалга оширилади. Шу сабабли кетма-кет

қурилмалар параллел қурилмаларга қараганда секинроқ ишлайди.

Параллел кодда сигналларни узатиш занжирлари сони, хотирловчи ва ўзгартирувчи элементлар сони қурилма ишлайдиган сўз хоналари сонига тенг, яъни аппаратура хажми катта бўлади. Шунга қарамасдан замонавий компьютерларда ахборотни ишлашда иштирок этувчи асосий қурилмалар юқори тезкорликка эришиш мақсадида параллел қурилади.



1.4-расм. Параллел импульс код (а), параллел потенциал код (б)

жиддий фарқи нимада?

3. Компьютер элементларининг туркумланиши.
4. Аналог элементларнинг вазифаси.
5. Дискрет элементларнинг вазифаси.
6. Потенциал ва импульс сигналларга таъриф беринг.
7. Кетма-кет ва параллел қурилмалар.

Асбоб ускуналарни тежаш мақсадида баъзи қурилмаларда кетма-кет-параллел коддан фойдаланилади. Бунда сўз қисмларга (бўғинларга) ажратилади ва узатиш, баъзида эса ишлаш ҳам кетма-кет, бўғинма-бўғин амалга оширилади.

### Назорат саволлари:

1. Компьютер схемотехникаси ривож босқичларини санаб ўтинг.
2. Учинчи авлод компьютер схемотехникасининг иккинчи авлодидан

## Адабиёт:

1. Угрюмов Е.П. Проектирование элементов и узлов ЭВМ – М.; Высш. шк., 1987, 3-5 б.
2. Схемотехника ЭВМ. Учебник для ВУЗов под редакцией Соловьева Г.Н. – М.; Высш. шк., 1985, 3-8 б.
3. Безуглов Д.А., Калиенко И.В. Цифровые устройства и микропроцессоры. Ростов-на-Дону, 2006 й.

## 2-майруза

**Яримўтказгичлар. Диодлар, биполяр ва униполяр (МОП) транзисторлар. Ёруғлик. Ёруғликсезувчан ва ёруғлик тарқатувчи қурилмалар. Оптожуфт**

### Режа:

1. Яримўтказгичларнинг электр ўтказувчанлиги. Электрон-ковак ўтишнинг ҳосил бўлиши ва хусусиятлари.
2. Яримўтказгич диодлар, қурилиши, туркумланиши ва асосий параметрлари.
3. Биполяр ва МОП транзисторлар.
4. Ёруғлик, ёруғлик сезувчи, ёруғлик тарқатувчи қурилмалар ва оптожуфт.

**Таянч иборалар:** ўтказгич, изолятор, яримўтказгич, легирлаш, электрон-ковак ўтиш, рекомбинация, акцептор, донор, диод, транзистор, фоторезистор, фотогальваник элемент, фотодиод, фототранзистор, ёруғлик диод, оптожуфт.

1. Маълумки, дунёда икки хил модда мавжуд – *ўтказгичлар* ва *изоляторлар*. Ўтказгичларнинг қаршилиги нулга яқин, изоляторларники эса чексиз. Аммо бу икки хил модда орасида аниқ чегара йўқ. Демак, қаршилиги ўтказгич ва изолятор қаршилиқларининг ўртасида бўлган қандайдир

моддалар ҳам мавжуд. Бундай моддаларни яримўтказгичлар деб аташган. Модданинг бундай *яримўтказгич* ҳолати жуда беқарор ва ташқи омиллар (электр кучланиш, ёруғлик, харорат) таъсирида яримўтказгич осонгина ўтказгичга, изоляторга ва қайтадан яна яримўтказгичга айланиши мумкин.

Яримўтказгичларда икки хил заряд элтувчилари мавжуд: *электронлар* ва *коваклар*. Коваклар – орбитасида электронлар етишмайдиган атомларнинг мусбат заряд элтувчилари. Ковакнинг ўзи зарядга эга эмас. Аммо у ҳосил бўлган жойда атом заряди мувофиқлашмаган, чунки бу ерда битта электрон йўқ. Бундай атом қўшнисидан электронни тортиб олиши мумкин, натижада у мусбат заряд элтувчисига айланади. Электроннинг бир атомдан иккинчи атомга сакраб ўтиши натижасида, бошқача айтганда ковак силжиши натижасида ковак токи пайдо бўлади. Шу сабабли яримўтказгичлар нафақат электрон ўтказувчанликка, балки ковак ўтказувчанликка ҳам эга. Тоза яримўтказгичларда ковак ўтказувчанлик электрон ўтказувчанликка тенг.

Тоза яримўтказгичлар (кремний, германий) жуда кам ишлатилади. Аксарият асбобларда *киритмавий* яримўтказгич ишлатилади, яъни тоза яримўтказгичга маълум киритманинг катта бўлмаган ва жуда аниқ ҳисобланган сони қўшилади. Киритмани қўшиш жараёни *легираши*, киритмавий яримўтказгич эса легиранган деб аталади.

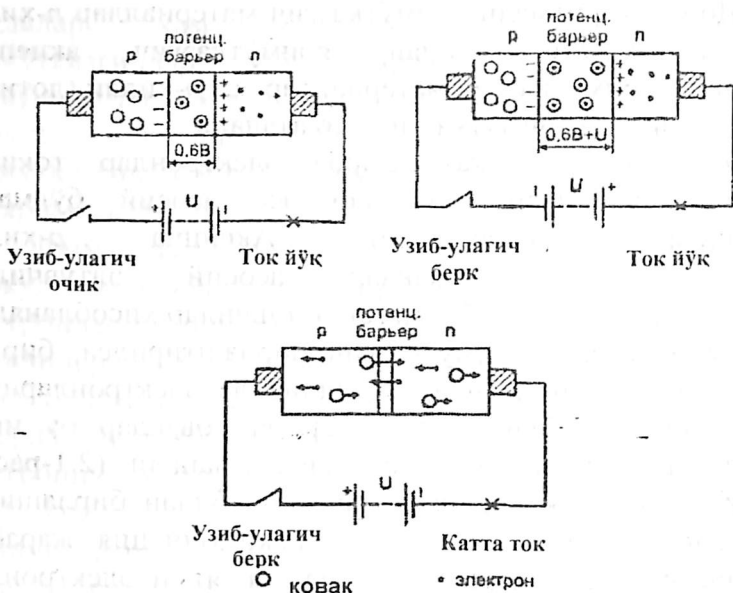
*Донор* деб аталувчи бирор бир киритмани қўшиш натижасида яримўтказгичда эркин электронлар пайдо бўлади. *Акцептор* деб аталувчи киритманинг қўшилиши яримўтказгичда эркин мусбат зарядларнинг пайдо бўлишига олиб келади.

Донор киритмали яримўтказгич материаллар  $n$ -хилли (лотинча *negativ* сўзидан) яримўтказгич, акцептор киритмали яримўтказгич материаллар эса  $p$ -хилли (лотинча *positive* сўзидан) яримўтказгич деб аталади.

$n$ -хилли яримўтказгичларда электронлар токнинг асосий элтувчилари, коваклар эса асосий бўлмаган элтувчилари ҳисобланади. Аксинча  $p$ -хилли яримўтказгичларда коваклар асосий элтувчилар, электронлар эса асосий бўлмаган элтувчилар ҳисобланади.

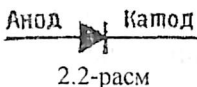
Бу икки хил яримўтказгич бирлаштирилса, бирида электронлар етишмаслиги, иккинчисида электронларнинг ортикчалиги сабабли электронлар ва коваклар бу икки яримўтказгич чегараси томон ҳаракатланади (2.1-расм). Электрон ва ковак учрашиб бир-бири билан бирлашиши (*рекомбинацияси*) содир бўлади. Рекомбинация жараёни динамик мувозанат ҳосил бўлмагунча, яъни электронлар сони билан коваклар сони тенг бўлмагунча давом этади. Натижада  $p$ - $n$ -ўтишда фазовий заряднинг иккиланган қатлами ҳосил бўлади.  $p$ -соҳада ушбу қатлам *акцептор* киритмасининг манфий ионлари томонидан яратилса,  $n$ -соҳада эса *донор* киритмасининг мусбат ионлари томонидан яратилади.

Рекомбинация натижа-сида ҳосил бўлган электрик майдон ( $p$ -соҳа манфий зарядланган,  $n$ -соҳа мусбат зарядланган) электрон ва ковакларнинг кейинги силжишига қаршилиқ қилади. Иккита яримўтказгич орасида электронларнинг коваклар билан рекомбинацияси натижасида ҳосил бўлган қатлам " $p$ - $n$ -ўтиш" деб,  $p$ - $n$ -ўтишдаги потенциаллар фарқи *потенциал тўсиқ* (барьер) деб аталади.



2.1-расм. *p-n*-ўтиш

2. Яримўтказгич диод одатда битта "*p-n*" ўтишга ва иккита чикмага эга бўлган яримўтказгич кристаллидан иборат бўлади ва 2.2-расм-дагидек шартли белгиланади.



Диодлар қуйидаги аломатлари бўйича туркумланади.

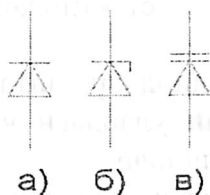
1. Конструкцияси бўйича юзали, нуктали ва микроотишмали диодлар фарқланади.

2. Қуввати бўйича кам қувватли, ўртача қувватли ва қувватли диодлар фарқланади.

3. Частотаси бўйича паст частота, юқори частота ва ўта юқори частота диодлар фарқланади.

4. *Функционал вазифалари бўйича* тўғриловчи, импульс диодлар, стабилитронлар, варикаплар фарқланади.

Диодлар 2.3-расмда кўрсатилганидек шартли белгиланади.



2.3-расм. Диодларнинг шартли белгиланиши.

- а) тўғриловчи, юқори частота, ўта юқори частота, импульс диодлар; б) стабилитронлар; в) варикаплар

Диоднинг шартли белгиланишида (2.2-расм) стрелка йўналиши ток йўналишига мос келади. Диоддаги кучланиш тешиш (пробой) кучланишига етмагунча ундаги тескари токни эътиборга олмас бўлади. Одатда диодда тўғри ток таъсиридаги кучланиш 0,5дан 0,8 В гача бўлади ва уни эътиборга олмас бўлади. Демак, диодга токни бир томонга

ўтказувчи ўтказгич (проводник) сифатида қараш мумкин.

Куйидагиларни эсда тутиш лозим:

- диод қаршилиги нуқтаи назардан Ом қонунига бўйсунмайди;
- диод иштирокидаги схемани эквивалент схема билан алмаштириш мумкин эмас.

*Тўғриловчи диодлар.* Тўғриловчи диоднинг асосий вазифаси ўзгарувчан токни ўзгармас токга айлантириш. Одатда тўғриловчи диодлар юзали бўлади ва тўғриланган токнинг катта қийматини олиш учун уларда катта юзали электрон-ковак ўтишлар ишлатилади.

*Юқори частота диодлар.* Юқори частота диодларга 300 МГц гача частоталарда ишлай олувчи яримўтказгич диодлар мансуб. 300 МГц дан ортиқ частотада ишлай



олувчи диодлар ўта юқори частота (СВЧ) диодлар деб юритилади.

Юқори частота диодлар чегараловчи, узиб-уловчи элементлар, ночизиқ резисторлар ва х. сифатида ҳамда юқори частотали сигналларни детектирлаш ва ўзгартиришда кенг қўлланилади.

*Импульс диодлар.* Импульс диодлар импульсли режимларда ишлатилади. Шу сабабли улардаги ўткинчи жараён кичик давомлиликка эга бўлиши шарт.

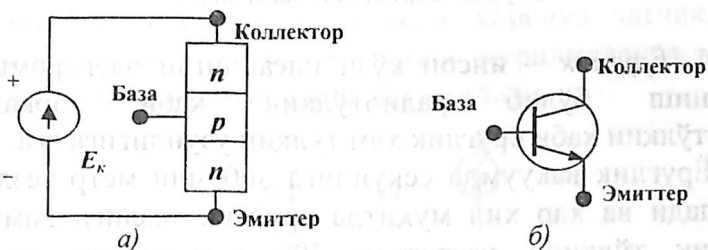
*Стабилитронлар.* Стабилитронларда, улардан ўтувчи токнинг берилган диапазонда ўзгаришида кучланиш белгиланган аниқликда сақланади. Стабилитрон ўзгармас ток занжирида кучланишни бирдай сақланишини (стабилланишини) таъминлайди.

*Варикаплар.* Ушбу диодларнинг ишлаши  $p-n$  ўтиш сизимининг унга қўйилган тескари кучланишга боғлиқлигига асосланган. Варикаплар сизими электр бошқарилувчи элементлар сифатида ишлатилади. Варикаплар масофавий бошқаришда ва частотани автоматик созлашда кенг тарқалган.

3. *Биполяр транзистор* – ток орқали бошқарилувчи, кучайтириш коэффициенти бирдан катта яримўтказгич асбоб. Унда иккита  $p-n$  ўтиш ва учта чикма – эмиттер, база ва коллектор мавжуд. Эмиттер – электронлар манбаи, база – бошқарувчи электрод, коллектор-эмиттер ҳосил қилувчи электронларни йиғувчи. 2.4-расмда транзистор схемаси ва унинг шартли белгиланиши келтирилган.

Агар эмиттерга нисбатан база потенциали нулга тенг бўлса қуйидаги вазият рўй беради. Электр потенциали  $E$  таъсирида  $n$ - ва  $p$ - хилли юқори зоналарни ажратувчи  $n-p$  коллектор ўтишида электронлар ва коваклар "ажралишади". Натижада шу ерда эмиттер-коллектор занжири узилади ва занжирда ток бўлмайди. Агар базага

эмиттерга нисбатан мусбат кучланиш берилса электронлар эмиттердан базага қараб ҳаракатланади. База қатламининг қалинлиги жуда кичик ва микрометрнинг (1000 мкм – 1 метр) улушига тенг бўлганлиги сабабли, эмиттерда ҳосил бўлган электронларнинг катта қисми коллекторга боради ва коллектор-эмиттер занжири бўйича ток оқади. Шундай қилиб, базага сигнал берилганида транзистор очилади – токни ўтказишга бошлайди, базага сигнал берилмаганида транзистор берк бўлади. Бошқача айтганда, транзистор сигнал таъсирида электр занжирини туташтирувчи ва узувчи қалит каби ишлайди. Транзисторнинг бир ҳолатдан иккинчи ҳолатга ўтиши жуда тез бўлади (наносекундда, хатто наносекунд улушида), яъни секунд мобайнида транзистор занжирни юз миллион мартаба узиб-улаши мумкин.



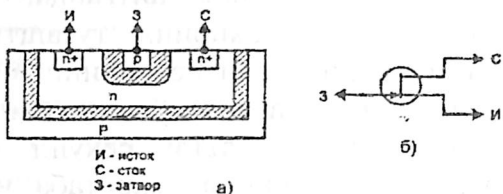
2.4-расм. Транзистор схемаси (а), ва унинг шартли белгиланиши (б)

*МОП (металл-оксид-полупроводник)* – транзисторлар асосида майдон эффекти ётади. Шу сабабли бундай транзисторлар майдон транзисторлар деб аталади. Биполяр транзисторлардан фарқли ўларок, майдон транзисторлар ток орқали эмас, балки кучланиш орқали бошқарилади.

Майдон транзисторларда эмиттер – исток, база – затвор, коллектор – сток деб аталади. Майдон транзистор иккита гуруҳга бўлинади: бошқарувчи *p-n*-ўтишли (яъни затворнинг изоляцияси *p-n*-ўтиш кўринишида бажарилган)

ва затвори изоляцияланган (яъни затвор диэлектрик билан изоляцияланган) майдон транзисторлар. Затвори изоляцияли  $p$ - $n$ -ўтиш кўринишида бажарилган майдон транзисторлар МДП (металл-диэлектрик-полупроводник) – транзисторлар деб аталади.

2.5-расмда бошқарувчи  $p$ - $n$ -ўтишли майдон транзистор схемаси ва унинг шартли белгиланиши келтирилган.



2.5-расм. МОП-транзистор схемаси (а),  
ва унинг шартли белгиланиши (б)

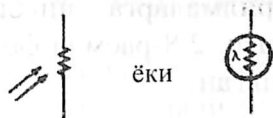
4. *Ёруғлик* – инсон кўзи илғайдиган электромагнит нурланиш бўлиб радиотўлқин каби тарқалади. Радиотўлқин каби ёруғлик ҳам тўлқин узунлигига эга.

Ёруғлик вакуумда секундига 300 млн метр тезликда тарқалади ва ҳар хил муҳитда ёруғлик тезлиги камаяди. Ёруғлик тўлқини частотаси 300 гигагерцдан то 300 миллион гигагерц (1 гигагерц – 1 миллиард герц) ораликда жойлашган. Бундай частота диапазонидан фақат катта бўлмаган қисмигина инсонга кўринади. Инсон кўзи илғайдиган ёруғлик частотаси 400 минг гигагерцдан то 750 минг гигагерц ораликда ётади. Инфрақизил нурланиш частотаси 400 минг гигагерцдан пастда жойлашган бўлса, ультрабинафша нурланиш эса 750 минг гигагерцдан юқорида жойлашади. Частота диапазонининг юқори қисмида жойлашган ёруғлик тўлқинларининг энергияси

частота диапазонининг пастки қисмида жойлашган ёруғлик тўлкинлари энергиясидан катта бўлади.

*Фоторезистор.* Ёруғлик интенсивлиги ўзгарганида фоторезисторнинг ички қаршилиги ўзгаради ва бу ўзгариш ёруғлик интенсивлигига муносиб бўлмайди. Фоторезисторлар кадмий сульфиди (CdS) ёки кадмий селениди (CdSe) каби ёруғликсезувчан материалларидан ясалади. Фоторезисторнинг қаршилиги бир неча мегомдан то бир неча юз мегомгача ўзгариши мумкин. У 200-300 вольт ишчи кучланишга бардош бераолади, бунда 300 милливаттгача энергияни истеъмол қилади. 2.6-расмда фоторезисторнинг шартли белгиланиши келтирилган. Стрелка қурилманинг ёруғликсезувчи эканлигини билдиради. Баъзида ёруғликсезувчан қурилмани белгилашда грек харфи  $\lambda$  (лямбда) ишлатилади.

Фоторезистор фотография асбоб-ускуналарида ёруғлик интенсивлигини ўлчашда, қоровул датчикларда, автоматик тарзда эшикни очувчи қурилмаларда, турли тестловчи асбоб-ускуналарда ишлатилади.



2.6-расм. Фоторезисторнинг шартли белгиланиши

*Фотогальваник элемент* (қуёш элемент) ёруғлик энергиясини бевосита электр энергиясига ўзгартириш учун ишлатилади. Қуёш элемент *p-n*-ўтиш асосидаги қурилма бўлиб, яримўтказгич материаллардан ясалади.

Қуёш элементнинг чиқиш йўли кучланиши 50 миллиампер токда 0,45 вольтни ташкил этади. Керакли чиқиш йўли кучланишини ва токни олиш учун улардан кетма-кет – параллел занжирлар ҳосил қилиш зарур.

2.7-расмда қуёш элементнинг шартли белгиланиши келтирилган. Мусбат чикма плюс (+) белгиси билан белгиланади.

Қуёш элементлар фотографик асбоб ускуналарда ёруғлик интенсивлигини ўлчашда, кинопроекторларда овоз йўлакчасини декодлашда ва космик йўлдошларда батареяларни зарядлашда ишлатилади.



2.7-расм. Қуёш элементнинг шартли белгиланиши

**Фотодиод** қуёш элементига ўхшаб *p-n*-ўтиш асосида ясалади ва ёритилганида фоторезистор каби қаршилиги ўзгаради.

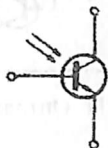
Фотодиоднинг афзаллиги — барча ёруғликсезувчан қурил-маларга нисбатан ёруғлик интенсивлигига реакциясининг тезлиги. Камчилиги — барча ёруғликсезувчан қурилмаларга нисбатан чиқиш йўли энергиясининг пастлиги. 2.8-расмда фотодиоднинг шартли белгиланиши келтирилган.



2.8-расм. Фотодиоднинг шартли белгиланиши

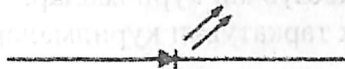
**Фототранзистор** бошқа транзисторларга ўхшаб иккита *p-n*-ўтишга эга ва фотодиод каби ишлатилиши мумкин. Фототранзистор фотодиодга қараганда катта чиқиш йўли токига эга. Аммо ёруғлик интенсивлигига реакцияси фотодиодга қараганда тез эмас. 2.9-расмда фототранзисторнинг шартли белгиланиши келтирилган.

Фототранзисторлар фототахометрларда, фотографик экспозицияларни бошқаришда, ёнғинга қарши датчикларда, предметларни санашда ва ҳ. ишлатилади.



2.9-расм. Фототранзисторнинг шартли белгиланиши

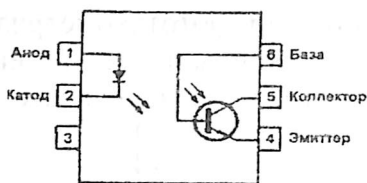
Ёруғлик диод (ёруғлик тарқатувчи диод) яримўтказгич қурилма бўлиб, юқори хароратли қизиши содир бўлмаганлиги сабабли ишлатилиш муддати чексиз. Ёруғлик диод  $p-n$ -ўтишли оддий диод бўлиб ундан ток ўтганда ёруғлик тарқалади. Тарқалувчи ёруғлик частотаси ёруғлик диод ясалган материалга боғлиқ 2.10-расмда ёруғлик диоднинг шартли белгиланиши келтирилган.



2.10-расм. Ёруғлик диоднинг шартли белгиланиши

Оптожуфт (оптопара) ёруғлик диод ва фототранзистордан ташкил топади (2.11-расм). Улар бир-бирлари билан ёруғлик диод тарқатувчи ёруғлик нури орқали боғланади. Ёруғлик диодга келаётган сигнал ўзгариши мумкин. Бу эса ўз навбатида тарқалувчи сигнал интенсивлигини ўзгартиради. Фототранзистор ёруғлик ўзгаришини қайтадан электр энергиясига айлантиради.

Оптожуфт бир занжирдан иккичи занжирга, уларнинг бир-биридан юқори даражали изоляциясини таъминлаган ҳолда, сигналларни узатиши мумкин.



2.11. Оптожуфт

### Назорат саволлари:

1. Ўтказгичлар, изоляторлар ва яримўтказгичлар.
2.  $p-n$ -ўтиш қандай шаклланади?
3. Яримўтказгич диодлар ва уларнинг туркумланиши. -
4. Биполяр транзистор ва унинг ишлаш принципи.
5. МОП-транзистор ва унинг биполяр транзистордан фарқи.
6. Ёруғликсезувчан қурилмалар.
7. Ёруғлик таркатувчи қурилмалар.

### Адабиёт:

1. Угрюмов Е.П. Проектирование элементов и узлов ЭВМ – М.; Высш. шк., 1987.
2. Схемотехника ЭВМ. Учебник для ВУЗов под редакцией Соловьева Г.Н. – М.; Высш. шк., 1985.
3. Безуглов Д.А., Калиенко И.В. Цифровые устройства и микропроцессоры., Ростов-на-Дону, 2006 г.
4. Хоровиц П., Хилл У. Искусство схемотехники. Изд. 3-е, Москва, Мир, 1986 г.

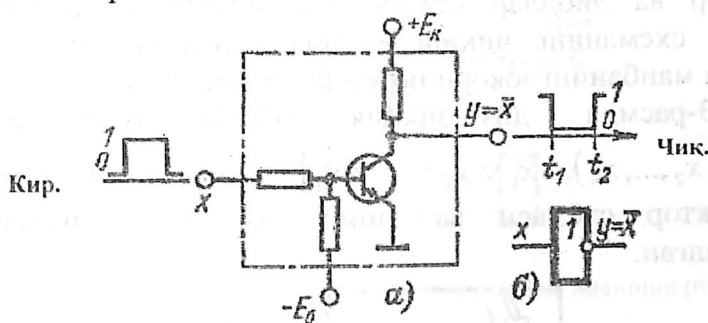
### 3-майруза Мантиқий элементлар

**Режа:**

1. Асосий мантиқий элементлар
2. Мантиқий элемент тизимлари.
3. Базавий интеграл элемент схемалар.

**Таянч иборалар:** мантиқий элемент, инвертор, конъюнктор, дизъюнктор, мантиқий элементлар тизими, бирлашиш коэффициенти, тармокланиш коэффициенти, халақитга бардошлик, транзистор-транзистор мантик (ТТЛ), эмиттер боғланишли мантик (ЭСЛ).

1. Иккили ўзгарувчилар устида элементар мантиқий амаллар мантиқий элементлар деб аталувчи схемаларда амалга оширилади.



3.1-расм. НЕ элементи (а), ва унинг шартли белгиланиши (б).

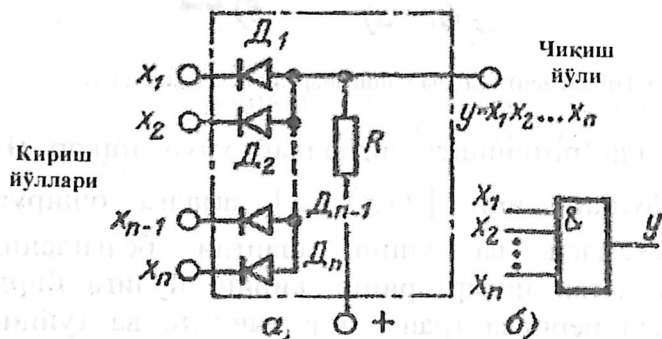
3.1-расмда потенциал сигналлар учун инкор (НЕ) мантиқий функциясини  $[f(x) = \overline{x}]$  амалга оширувчи инвертор схемаси ва унинг шартли белгиланиши келтирилган. Агар инверторнинг кириш йўлига бирлик мусбат сигнал берилса транзистор очилади ва тўйиниш



режимига ўтади. Инверторнинг чиқиш йўлида транзистор эмиттери потенциалига яқин мантиқий "0" сигнали ҳосил бўлади. Агар инверторнинг кириш йўлига нуллик сигнал берилса транзистор очилмайди ва инверторнинг чиқиш йўлида коллектор таъминот манбаидаги потенциалга яқин "1" сигнали ҳосил бўлади.

3.2- расмда конъюнкция (И) функциясини  $[f(x_1, x_2, \dots, x_n) = x_1 \wedge x_2 \wedge \dots \wedge x_n]$  амалга оширувчи конъюнктор схемаси ва унинг шартли белгиланиши келтирилган. Агар бундай схеманинг ҳеч бўлмаганида битта кириш йўлида бирлик сигнали бўлмаса (яъни бу кириш йўлида нуллик сигнал) схеманинг чиқиш йўлида мантиқий нульга мос келувчи паст сатхли сигнал ҳосил бўлади. Конъюнкторнинг кириш йўллари фақат бирлик сигнали (юқори сатхли мусбат сигнал) берилса манбадан резистор ва диодлар орқали ток оқиш занжири берк бўлади, схеманинг чиқиш йўлида мантиқий бирга мос келувчи манбанинг юқори потенциали ҳосил бўлади.

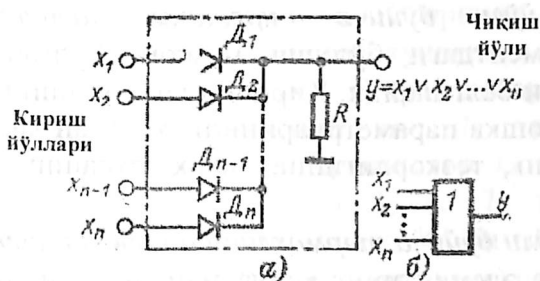
3.3-расмда дизъюнкция (ИЛИ) функциясини  $[f(x_1, x_2, \dots, x_n) = x_1 \vee x_2 \vee \dots \vee x_n]$  амалга оширувчи дизъюнктор схемаси ва унинг шартли белгиланиши келтирилган.



3.2-расм. И элементи (а) ва унинг шартли белгиланиши (б)

Схеманинг бирор-бир кириш йўлига бирлик сигнали берилса кириш йули диоди ва резистор орқали ток оқади ва резистордаги мусбат кучланиш чиқиш йўлига узатилади. Чиқиш йўлида бирлик сигналга мос юқори сатхли сигнал пайдо бўлади. Бир вақтнинг ўзида схеманинг барча кириш йўлларига фақат нуллик сигнал берилганида схеманинг чиқиш йўлида нуллик сигналга мос паст сатхли сигнал бўлади.

2. Компьютер мантикий элементлари тизими (мажмуаси ёки русуми) деб рақамли курилмаларни куришга мўлжалланган, ахборотни ифодалашнинг бир хил усулидан ва бир хил элементларро боғланишдан фойдаланувчи, электрик, конструктив ва технологик параметрлари умумий бўлган функционал тўлиқ мантикий элементлар наборига айтилади.



3.3-расм. ИЛИ элементи (а) ва унинг шартли белгиланиши (б)

Элементлар тизими мантикий амалларни бажарувчи, сигналларни кучайтирувчи, тикловчи ҳамда сигналларнинг стандарт шаклларини шакллантирувчи элементларни ўз ичига олади.

Ҳозирда асосан ахборотни потенциал усулда ифодалашдан фойдаланувчи элементлар ("мантикий элементларнинг потенциал тизими") ишлатилади. Аксарият замонавий тизимларда (русумларда) мантикий

амалларни бажарувчи И-НЕ, ИЛИ-НЕ, И-ИЛИ-НЕ ва х. элементлар, триггерлар ҳамда компьютер узеллари ҳисобланувчи мураккаб функционал элементлар намунавий элементлар сифатида ишлатилади.

**Мантиқий элементлар тизимининг асосий параметрлари** – таъминловчи кучланиш ва мантиқий 0 ва 1 ни ифодаловчи сигналлар; И ва ИЛИ кириш йўллари бўйича бирлашиш коэффиценти; юклама қобиляти (чиқиш йўли бўйича тармоқланиш коэффиценти); халалларга бардошлиги; сочилувчи энергия; тезкорлиги.

**Таъминловчи кучланиш ва сигналлар.** Элементлар тизими ишлатилувчи таъминловчи кучланишлар сони ва уларнинг номинал қийматлари орқали характерланади. Мантиқий элементлар учун кириш йўли ва чиқиш йўли сигналларининг қутблари ва сатхлари кўрсатилади.

**Кириш йўли бўйича бирлашиш коэффиценти** мантиқий элементдаги бўлиши мумкин бўлган кириш йўллари сонини белгилайди. Кириш йўли сонининг ошиши элементнинг бошқа параметрларининг, ҳусусан халалларга бардошлигининг, тезкорлигининг ва х. сусайишига олиб келади.

**Чиқиш йўли бўйича тармоқланиш коэффиценти** бир вақтнинг ўзида элементнинг қанча мантиқий чиқиш йўли юкланиши мумкинлигини кўрсатади.

**Халалларга бардошлик** халаллар мавжудлигида элементнинг тўғри ишлаш қобиляти бўлиб, ишлашда адашишларга олиб келмайдиган халалларнинг максимал жоиз кучланиш орқали аниқланади.

**Мантиқий элементларнинг тезкорлиги** энг муҳим параметрлардан бири ҳисобланади ва сигнал тарқалиши кечикишининг ўртача вақти орқали характерланади, яъни

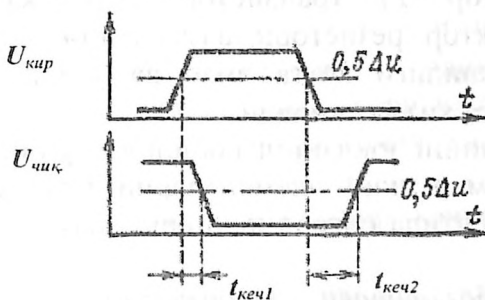
$$t_{\text{кеч.ур}} = (t_{\text{кеч1}} + t_{\text{кеч2}}) / 2$$

Бу ерда  $t_{кеч.1}$  ва  $t_{кеч.2}$  — мос ҳолда чиқиш йўли сигналининг fronti ва пасайишига нисбатан кечикиши (3.4-расм).

Асосий, кўпинча ишлатиладиган интеграл элементлар куйидагилар: транзистор-транзистор мантиқнинг (ТТЛ) потенциал элементлари, эмиттер боғланишли транзистор мантиқнинг потенциал элементлари (ЭСЛ) ва МОП-транзистордаги элементлар.

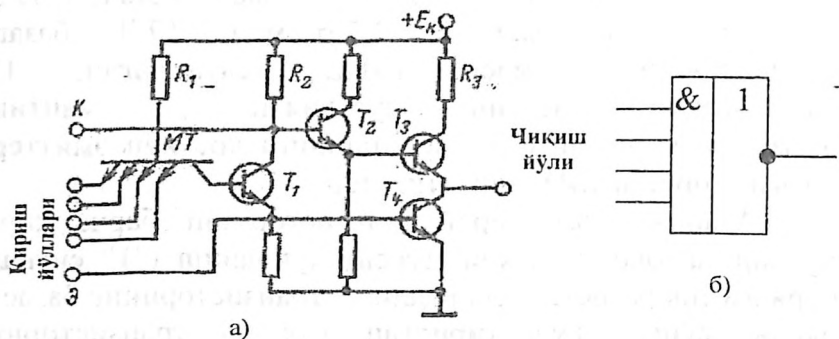
3. Транзистор-транзистор мантиқнинг (ТТЛ) потенциал элементлари. 3.5-расмда ТТЛ базавий элементининг \_ схемаси И-НЕ келтирилган. ТТЛ элементининг асосий хусусияти — мантиқий элементларнинг интеграл қурилишига хос кўп эмиттерли транзисторнинг (МТ) ишлатилиши.

Агар кўп эмиттерли транзисторнинг барча кириш йўлларига юкори сатхли мусбат кучланиш ("1" сигнали) берилса ток резистор  $R_1$  орқали  $T_1$  транзисторнинг базасига оқади, сўнгра кучайтирилган ток  $T_1$  транзисторнинг эмиттеридан инвертирловчи транзистор  $T_4$  нинг базасига келади ва уни очади. Бунда  $T_2$  ва  $T_3$  транзисторлар беркилади. Элемент чиқиш йўлида "0" сигнали (тахминан  $T_4$  транзистор эмиттери потенциалига тенг) пайдо бўлади.



3.4-расм. Мантиқий элементда сигналнинг кириш йўлидан чиқиш йўлига узатилишида кечикиш ( $\Delta u$  — сигналнинг фарки)

Агар кўп эмиттерли транзисторнинг кириш йўлларида бирида паст сатхли сигнал ("0" сигнали) пайдо бўлса  $T_1$  транзистор беркилади. Бу эса ўз навбатида  $T_4$  транзисторнинг беркилишига олиб келади.  $T_2$  транзистор эмиттер такрорлагич сифатида ишлайди, унинг базасига  $R_2$  резистор оркали таъминот манбаи  $+E_k$  дан юқори сатх кучланиш берилади ва  $T_3$  транзистор очилади. Элемент чиқиш йўлида юқори сатхли сигнал (мантикий "1" сигнали) пайдо бўлади.



3.5-расм. TTL (И-НЕ) элементининг схемаси (а),  
ва 4И-ИЛИ-НЕ схеманинг шартли белгиланиши (б)

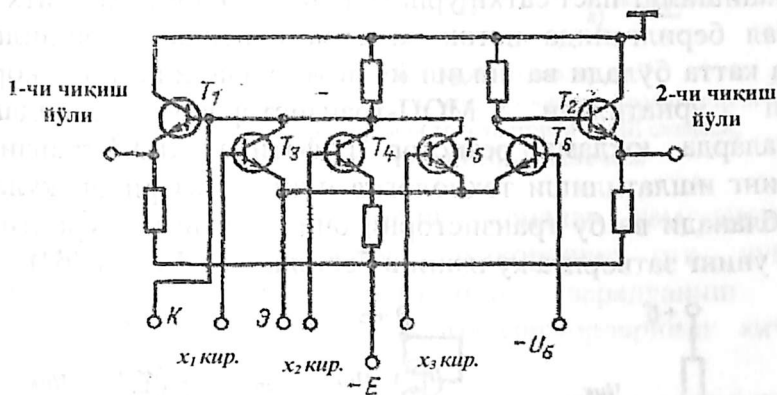
$T_3$  транзистор  $T_4$  транзистор учун қаршилиги ўзгарувчан коллектор резистори вазифасини ўтайди.  $R_3$  резисторнинг қаршилиги катта эмас ва у чиқиш йўли токени чегаралашга хизмат қилади.

TTL схемасининг юкланиш қобилияти унинг чиқиш йўлига ўнтагача мантикий элементларни улашга имкон беради. TTL элементида сигнал кечикиш вақти 10...30 нс ни ташкил этади.

Эмиттер боғланишли транзистор мантиқнинг потенциал элементлари (ЭСЛ). 3.6-расмда ЭСЛ элементлар тизимидаги намунавий схема И келтирилган.

Схема кириш йўли томони умумий коллекторли ва умумий эмиттерли  $T_3 - T_5$  транзисторлардан, чиқиш йўли томони  $T_6$  транзистордан ташкил топган.

Агар элементнинг барча кириш йўлларида мантикий "0"га мос кучланиш сатхи бўлса  $T_3 - T_5$  транзисторлар беркилади.  $T_6$  транзистор эса очилади. Элементнинг бирор кириш йўлида мантикий "1"га мос кучланиш сатхи пайдо бўлса  $T_6$  транзистор беркилади ва ундан оққан ток очилган кириш йўли транзистори орқали оқа бошлайди.



3.6-расм. Уч кириш йўлли ЭСЛ элементининг схемаси

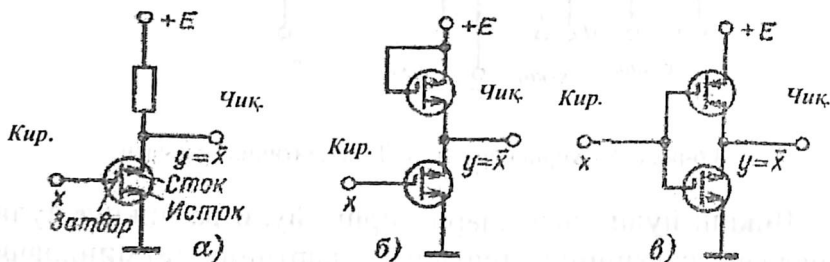
Чиқиш йўли сигналлари кириш йўли ва чиқиш йўли сигналлар сатхининг тенглиги шартини таъминловчи эмиттер такрорлагичлардан олинади. Эмиттер такрорлагичлар элементнинг юқори юклама қобилиятини таъминлайди, унга 15тача мантикий элементлар уланиши мумкин.

ЭСЛ элементида сигналнинг кечикиш вақти одатда  $1 \div 10$  нс ни ташкил этади.

МОП-транзисторлар асосида қурилган интеграл элементлар ТТЛ ёки ЭСЛ элементларга нисбатан секин ишлайди. Аммо бу элементлар кам энергия истемол

қилади, юкланиш қобилияти ва ҳалалларга бардошлиги юқори Энг муҳими, бу элементлар интеграл схема юзасида кам жойни эгаллайди. МОП-транзистордаги элементлар технологияси мураккаб эмас ва, демак, улар арзон.

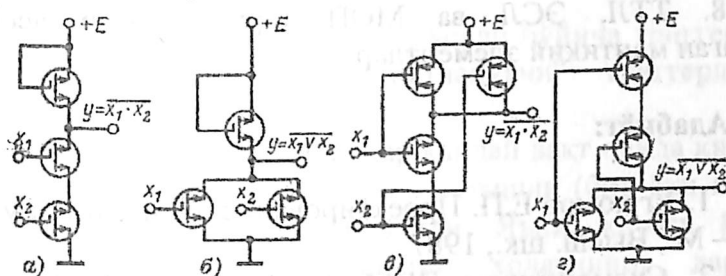
МОП-транзисторларнинг "n" ва "p"-хиллари мавжуд. 3.7-расм "а" да "n"-хилдаги МОП-транзистор асосида курилган инвертор схемаси келтирилган. Затворга (схема кириш йўлига) юқори сатҳли сигнал берилганида исток ва сток орасидаги қаршилик камаяди ва чиқиш йўлида кучланишнинг паст сатҳи ўрнатилади. Затворга паст сатҳли сигнал берилганида исток ва сток орасидаги қаршилик жуда катта бўлади ва чиқиш йўлида кучланишнинг юқори сатҳи ўрнатилади. МОП-транзисторлар асосидаги схемаларда юклама резистор сифатида МОП-транзисторнинг ишлатилиши технология нуқтаи назаридан қулай ҳисобланади ва бу транзисторни очиш режимига ўрнатиш учун унинг затворига кучланиш берилади (3.7-расм "б").



3.7-расм. n-хилдаги МОП-транзистор асосида курилган элемент схемалари

p-хилдаги МОП-транзисторлар ишлатилганида манба ва бошқариш манфий кучланиш орқали амалга оширилади. "n" ва "p"-хилли транзисторларда (тўлдирувчи транзисторларда) курилган инвертор схемаси 3.7-расм "в" да келтирилган. Бунда схема кириш йўлига юқори сатҳли кучланиш берилганида пастки транзистор очилади,

юқоридагиси эса беркилади. Аксинча, схема кириш йўлига паст сатҳли кучланиш берилса юқори транзистор очилади, пастдагиси эса беркилади.



3.8-расм. Комбинацион МОП-схемалар.

- а) – юклама транзисторли И-НЕ элементи; б) – юклама транзисторли ИЛИ-НЕ элементи; в) – тўлдирувчи транзисторли И-НЕ схемаси; д) – тўлдирувчи транзисторли ИЛИ-НЕ схемаси

Тўлдирувчи транзисторли схемалар кам энергия истеъмол қилади ва юқори тезкорликка эга, чунки схеманинг паразит сиғимининг зарядланиш ва разрядланиш занжирида очик транзисторларнинг кичик қаршилиги уланган бўлади.

И ва ИЛИ функцияларни амалга оширувчи схемалар МОП-транзисторларни, мос ҳолда, кетма-кет ва параллел улаш орқали қурилади. Бунда одатда схеманинг чиқиш йўлида И ва инверсли ИЛИ функцияси, яъни И-НЕ ва ИЛИ-НЕ олинади. МОП-транзисторлар асосида қурилган мантиқий элементларнинг ишлаш принципини 3.8-расмда келтирилган схемалар орқали тушуниш қийин эмас.

### Назрат саволлари:

1. Мантиқий элемент нима?
2. Компьютер мантиқий элементлари тизими нима?
3. Кириш йўли бўйича бирлашиш коэффициентлари.
4. Чиқиш йўли бўйича тармоқланиш коэффициентлари.



5. Халакитларга бардошлик.
6. TTL потенциал элементлар.
7. ЭСЛ потенциал элементлар.
8. TTL, ЭСЛ ва МОП тарнзисторлар асосида курилган мантикий элементлар.

### **Адабиёт:**

1. Угрюмов Е.П. Проектирование элементов и узлов ЭВМ – М.; Высш. шк., 1987.
2. Схемотехника ЭВМ. Учебник для ВУЗов под редакцией Соловьева Г.Н. – М.; Высш. шк., 1985.
3. Безуглов Д.А., Калиенко И.В. Цифровые устройства и микропроцессоры., Ростов-на-Дону, 2006 г.
4. Хоровиц П., Хилл У. Искусство схемотехники. Изд. 3-е, Москва, Мир, 1986 г.

### **4-маъруза. Триггерлар**

#### **Режа:**

1. Триггер таърифи. Асинхрон ва синхрон триггерлар.
2. *RS*-триггер.
3. *D*-триггер.
4. *T*-триггер.
5. Икки поғонали триггер.
6. *JK*-триггер.

**Таянч иборалар:** триггер, асинхрон триггер, синхрон триггер, *RS*-триггер, *D*-триггер, *T*-триггер, икки поғонали триггер, *JK*-триггер.

1. Триггер иккита турғун мувозанат ҳолатга эга бўлган схема бўлиб, иккилик санок тизимида ифодаланган ахборотларни ишлаш ва хотирлаш учун жуда қулай ҳисобланади.

Ахборотни киритиш (ёзиш) усули бўйича триггерлар "асинхрон" ва "синхрон" ("тактланувчи") триггерларга бўлинади.

Асинхрон триггерларда ҳар қандай вақт онда кириш йўлидаги сигналлар триггернинг тегишли (бир ёки нуль) ҳолатини бир маънода аниқлайди. Яъни, кириш йўли ахборотининг ўзгариши триггер ҳолатининг дарҳол (ўткинчи жараён тугаши билан) ўзгаришига олиб келади.

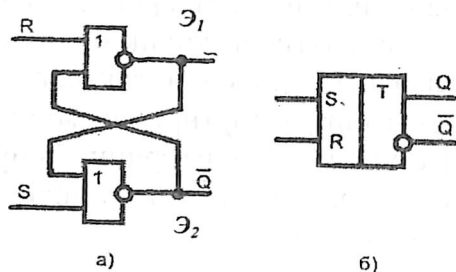
Синхрон (тактланувчи) триггерлар кўшимча кириш йўлига эга бўлиб, бу йўлдан синхронловчи (тактловчи) сигналлар берилади. Синхрон триггерларга ахборот фақат навбатдаги синхросигнал берилиши билан киритилади

Бундай триггерларни бир бири билан улаб кетма-кет занжирларда (счётчикларда, силжитувчи регистрларда ва бошқаларда) ишлатиш мумкин. Аммо бунинг учун синхросигнал давомлилиги триггернинг бир ҳолатдан иккинчи ҳолатга ўтиш вақтидан кичик бўлиши шарт. Акс ҳолда битта синхросигнал таъсири вақтида триггер бир неча марта ўз ҳолатини ўзгартириши мумкин. Демак, синхросигнал давомлилиги триггернинг бир ҳолатдан иккинчи ҳолатга ўтиш вақтидан кичик бўлиши ва шу билан бир қаторда схеманинг ишончли ишлаши учун етарли бўлиши керак.

2.  $RS$ -триггер деб иккита кириш йўли  $S$  ва  $R$  га эга бўлган, икки турғун мувозанат ҳолатли схемага айтилади.  $S$  - триггерни бирлик ҳолатига ўтказувчи кириш йўли (инглизча "set-ўрнатиш" сўздан олинган),  $R$  - эса триггерни нуллик ҳолатига ўтказувчи кириш йўли

(инглизча "reset- тушириш" сўзидан олинган), яъни  $S = 1$  ва  $R = 0$  бўлганда триггер бирлик ҳолатига ўтказилса  $S = 0$  ва  $R = 1$  бўлганда нуллик ҳолатига ўтади. RS-триггерлар бошқа триггерлар қатори асинхрон ва синхронларга бўлинади.

*Асинхрон RS-триггерлар.* Улар ҳар томонлама тескари боғланиш билан қамраб олинган иккита ИЛИ-НЕ ёки И-НЕ мантикий элементлардан иборат бўлади (4.1-расм "а", 4.2-расм "а"). Ҳар бир мантикий элементнинг кириш йўлларида бири тескари боғланиш сигнаolini беришга ишлатилса, иккинчиси бошқариш сигнаolini беришга ишлатилади. Чикиш йўлларида бири  $Q$  бирлик, иккинчиси  $\bar{Q}$  нуллик деб аталади.  $Q$  чикиш йўлидаги сигнали бирга тенг ( $Q = 1$ ) бўлса, бу сигнал  $\mathcal{E}_2$  элементнинг кириш йўлига таъсир этиб унинг чикиш йўлида  $\bar{Q} = 0$  сигнаolini пайдо бўлишига олиб келади. Триггернинг бу ҳолати бирлик ҳолати ҳисобланади. Триггернинг нуллик ҳолатида  $Q = 0$ ,  $\bar{Q} = 1$  бўлади.



4.1-расм. ИЛИ-НЕ мантикий элементлар асосида қурилган асинхрон RS-триггер схемаси (а) ва унинг шартли белгиланиши (б)

Энди триггернинг бошқа ҳолатига ўтишини қандай бошқариш мумкинлигини кўрайлик. Фараз қилайлик, триггер (4.1-расм, "а") бирлик ҳолатида бўлсин ( $Q = 1$ ,  $\bar{Q} = 0$ ). Агар  $\mathcal{E}_2$  мантикий элементнинг пастки кириш

йўлига бирлик сигнали берилса, бу элементнинг ҳолати ўзгармайди. Чунки бундан олдин ҳам шу элементнинг юқори кириш йўлига  $Q$  чиқиш йўлидан мантикий бир сигнали берилган эди. Демак, триггерни нуллик ҳолатига ўтказиш учун  $R$  кириш йўлига бирлик сигнали берилиши лозим. Натижада  $\mathcal{E}_1$  мантикий элементнинг чиқиш йўлида  $Q = 0$  бўлади. Бу сигнал  $\mathcal{E}_2$  мантикий элементнинг кириш йўлига таъсир қилиб шу элементнинг чиқиш йўлида  $\bar{Q} = 1$  сигналининг пайдо бўлишига олиб келади, яъни триггер нуллик ҳолатига ўтади.

Шу тариқа нуллик ҳолатдаги ( $Q = 0$ ,  $\bar{Q} = 1$ ) триггерни бирлик ҳолатига ўтказиш учун  $S$  кириш йўлига бирлик сигналини бериш лозимлигини кўрсатиш мумкин ( $R = 0$  шартини бажарган ҳолда).

Триггернинг иккала кириш йўлига  $R = S = 0$  сигналлари берилса, триггер ўзининг бу сигналлар берилгунича бўлган ҳолатини сақлайди. Кириш йўли сигналларининг  $R = S = 1$  комбинациясида эса бу сигналлар таъсири вақтида иккала мантикий элементнинг чиқиш йўлида  $Q = \bar{Q} = 0$  бўлади, сигналлар олингандан сўнг триггернинг ҳолати ноаниқ бўлади. Яъни триггер тасодиф омилларга боғлиқ ҳолда бирлик ҳолатига ҳам, нуллик ҳолатига ҳам ўтиши мумкин. Шунинг учун  $R = S = 1$  комбинациясига йўл қўйиб бўлмайди.

$RS$ -триггернинг ишлаш қонуни 4.1-жадвалда берилган. И-НЕ элементлари асосида қурилган  $RS$ -триггернинг (4.2-расм, "а") ҳолатини ўзгартириш учун унинг кириш йўллариغا инверс (нуллик) сигналларни бериш лозим. Ҳақиқатдан ҳам триггер нуллик ҳолатида бўлса ( $Q = 0$ ,  $\bar{Q} = 1$ ) уни бирлик ҳолатига ўтказишга фақат  $\mathcal{E}_1$  мантикий элементнинг юқори кириш йўлига нуллик сигналини бериш билангина эришиш мумким. Шу туфайли

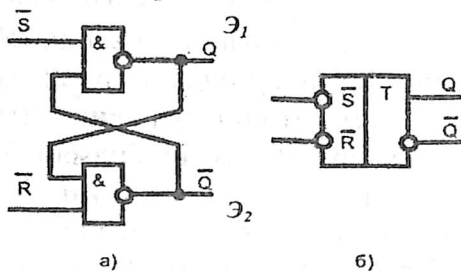
расмда кириш йуллари  $\bar{R}$  ва  $\bar{S}$  символлари билан белгиланган бўлиб, инверсия белгиси триггернинг инверсия (нуллиқ) сигналлари орқали бошқарилишини билдиради.

Юқорида кўрдикки, ИЛИ-НЕ ва И-НЕ элементлари асосида қурилган триггернинг схемалари бир-биридан унчалик фарқ қилмайди ва И-НЕ асосидан ИЛИ-НЕ асосга ўтиш учун бошқариш сигналларини инвертирлаш керак холос.

4.1-жадвал

$R$	$S$	$Q_{n+1}$
0	0	$Q_n$
1	0	0
0	1	1
1	1	X

ИЛИ-НЕ элементлари асосида қурилган бир жуфт бошқариш йўллари бўлган асинхрон триггерлар 4.1-расм, "б" дагидек, И-НЕ элементлари асосида қурилганлари эса 4.2-расм, "б" дагидек шартли белгиланади.



4.2-расм. И-НЕ мантикий элементлар асосида қурилган асинхрон RS-триггер схемаси (а) ва унинг шартли белгиланиши (б)

Триггер асосий ва ёрдамчи қисмларга бўлинган тўғри тўртбурчак шаклида тасвирланади. Асосий қисмида  $T$  (триггер) симболи жойлаштирилса, ёрдамчи қисмида

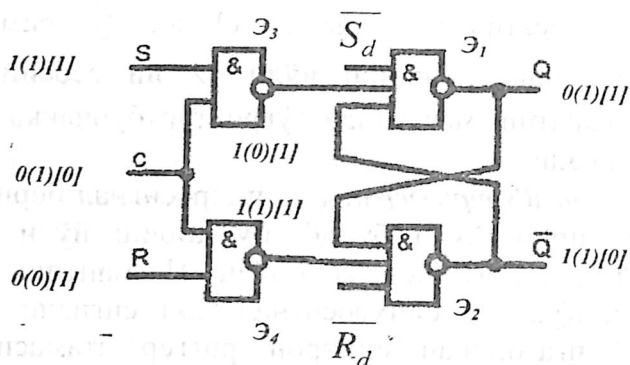
триггер кириш йўллари ва унда амалга ошириладиган мантикий амалларнинг шартли белгилари жойлаштирилади. Асосий қисмида иккита чиқиш йўллари ( $Q$  ва  $\bar{Q}$ ) кўрсатилади. Одатда  $Q$  ва  $\bar{Q}$  символлари ёзилмайди, инверс, чиқиш йўли  $\bar{Q}$  ни асосий чиқиш йўлидан ажратиш мақсадида тўғри тўртбурчакка халқача, орқали уланади.

*Синхрон RS-триггерларда* синхросигнал бериладиган кўшимча кириш йўли бўлиб, бу кириш йўли ахборот кириш йўллари ( $R$  ва  $S$ ) билан И мантиқи орқали боғланган. Кўпинча синхросигнал такт сигнали деб ҳам аталади. Бунга биноан "синхрон триггер" атамаси билан бир қаторда "тактланувчи триггер" атамаси ҳам ишлатилади. Шундай қилиб,  $R$  ва  $S$  кириш йўлларига бериладиган ахборот триггерга фақат синхросигнал берилганидагина киритилади.

Синхросигнал орқали бошқарилувчи синхрон триггернинг ишлаш принципини бир поғонали И-НЕ мантикий элементлар асосида қурилган схема (4.3-расм) мисолида кўрамиз. Қуйидагича белгилашни қабул қиламиз. Синхросигнал берилгунига қадар ҳар бир мантикий элементнинг ҳолатини ва кириш йўли сигналларининг кийматини 0 ва 1 символлари билан белгилаймиз. Синхросигнал таъсири мобайнидаги элементларнинг ҳолатини бу символларнинг кичик қавсга олинганлари билан, синхросигнал таъсири тамом бўлгандаги элементларнинг ҳолатини эса бу символларнинг ўрта қавсга олинганлари билан белгилаймиз.

Фараз қилайлик, синхросигнал берилмасидан олдин ( $C = 0$ ) триггер нуллик ҳолатида ( $Q = 0$ ,  $\bar{Q} = 1$ ) ҳамда триггернинг ахборот кириш йўлларига берилган сигналлар  $S = 1$ ,  $R = 0$  бўлсин.  $C = 0$  бўлганлиги учун  $\mathcal{E}_3$  ва  $\mathcal{E}_4$

элементларнинг чиқиш йўлларидаги сигналлар birlik қийматига эга (қавссиз символлар).



4.3-расм. И-НЕ мантикий элементлар асосида қурилган синхрон RS-триггер схемаси

Синхросигнал берилганида (кичик қавс ичидаги символларга қаралсин) ва  $R$  ва  $S$  сигналларининг олдинги ҳолати сақланганида,  $\mathcal{E}_1$  элементнинг чиқиш йўли birlik қийматини сақлайди,  $\mathcal{E}_3$  элементнинг чиқиш йўли эса нуллик қийматини олади. Бу ўз навбатида  $Q = 1$  сигналнинг пайдо бўлишига ва  $\mathcal{E}_2$  элементнинг кириш йўлларида birlik сигналларининг мос келишига, яъни  $\bar{Q} = 0$  бўлишига олиб келади. Синхросигнал олингандан сўнг эса тесқари боғланиш занжирларидан келаётган сигналлар эвазига триггер birlik ҳолатини ( $Q = 1, \bar{Q} = 0$ ) сақлайди (ўрта қавс ичидаги символларга қаралсин). Триггернинг бу ҳолати кейинги синхросигналлар берилгунча ( $R$  ва  $S$  сигналларининг қиймати синхросигналлар орасидаги тўхтамда ўзгарса ҳам) ўзгармайди.

Синхросигнал орқали бошқарилувчи триггернинг ўзига хос хусусияти синхросигнал таъсири мобайнида  $R$  ва

$S$  ахборот сигналларнинг ўзгариши триггер ҳолатининг ўзгаришига олиб келишидир.

Синхрон  $RS$ -триггернинг ишлаш қонуни 4.2-жадвалда берилган. Жадвалда  $R^n$ ,  $S^n$  ва  $Q^n$  - машина вақтининг олдинги ( $n$ -нчи) тактидаги триггернинг кириш ва чиқиш йўлларидаги ахборот сигналларининг қийматлари,  $Q^{n+1}$  - ( $n+1$ )-нчи такт сигнали (синхросигнал) берилганида триггернинг ўтадиган ҳолати. Бу ерда  $R$  ва  $S$  сигналлари ( $n+1$ )нчи синхросигнал таъсири давомида ўз қийматларини ўзгартирмайди деб фараз қилинади.

4.2-жадвал

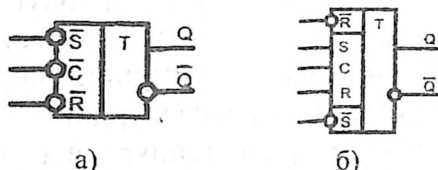
$n$ -такт		$n+1$ -такт
$R^n$	$S^n$	$Q^{n+1}$
0	0	$Q^n$
1	0	0
0	1	1
1	1	x

Синхрон триггерлар синхронланувчи кириш йўллари қатори триггерни бирор ҳолатга бевосита синхросигнал бермасдан ўтказувчи занжирларга эга. Бу  $R_d$  ва  $S_d$  каби белгиланувчи ( $d$ - инглизча direct - тўғри, бевосита сўзидан олинган) кириш йўллари триггерни бошланғич ҳолатига ўтказиш учун ишлатилади. 4.3-расмдаги символлар устидаги инверсия белгиси ( $\overline{R_d}$  ва  $\overline{S_d}$ ) И-НЕ элементлари асосида қурилган триггерларни бевосита бошқариш учун инверс (нуль) сигналлар ишлатилиши лозимлигини кўрсатади.

Синхрон триггерлар 4.4-расм, "а" ва "б" дагидек шартли белгиланади. 4.4-расм, "а" да бир жуфт ахборот кириш йўлли, 4.4-расм, "б" да эса И мантиқи билан



боғланган икки жуфт кириш йўлли триггерлар кўрсатилган.



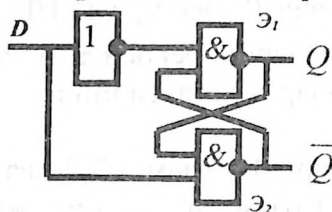
4.4-расм. Синхрон триггерларнинг шартли белгиланиши

3. *D*-триггернинг номи инглизча "*delay* - кечиктириш" сўзидан олинган бўлиб, баъзан машина вақти тактига кечиктириш триггери деб ҳам юритилади. Синхрон *D*-триггерда битта ахборот кириш йўли мавжуд. Бу триггернинг ишлаш қонуни берилган 4.3-жадвалга биноан ( $n+1$ ) - тактда *D*-триггернинг ҳолати  $n$ - тактдаги таъсир қилган кириш йўли сигнали қийматиغا мос келади. Бошқача қилиб айтганда *D*-триггер сигнални тактга кечиктиради.

4.3жадвал

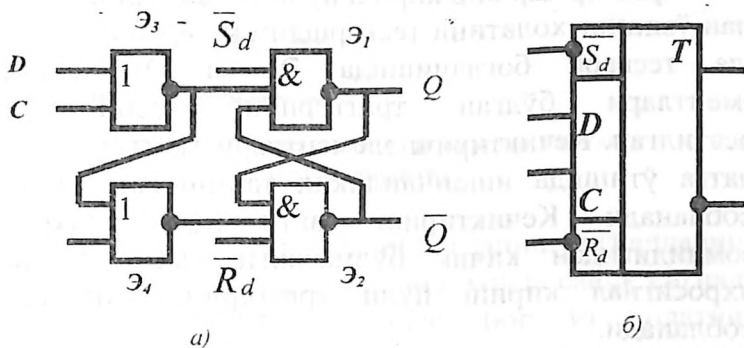
$n$ -такт	$n+1$ -такт
$D^n$	$D^{n+1}$
0	0
1	1

Асинхрон *D* - триггерлар (4.5-расм) амалий аҳамиятга эга эмас, чунки бундай схема ролини кетма-кет уланган инверторлардан иборат схема бажариши мумкин.



4.5-расм. Асинхрон *D*-триггер схемаси

Амалда синхрон  $D$ -триггерлар кўп қўлланилади (4.6-расм, "а").  $C = 1$  ва  $D = 1$  бўлганда  $\mathcal{E}_3$  элементнинг чиқиш йўлида мантикий нул шаклланади. Бу сигнал  $\mathcal{E}_1$  ва  $\mathcal{E}_4$  элементларнинг кириш йўлига таъсир этиб триггерни birlik ҳолатига ўтказди ( $Q = 1, \bar{Q} = 0$ ) ва  $\mathcal{E}_4$  элементни беркитади.  $C = 1$  ва  $D = 0$  бўлганда  $\mathcal{E}_3$  элементнинг чиқиш йўлидаги сигнал birlik қийматига,  $\mathcal{E}_4$  элементнинг чиқиш йўлидаги сигнал эса нулик қийматига эга бўлади. Бу сигнал  $\mathcal{E}_2$  элементнинг кириш йўлига таъсир этиб триггерни нуль ҳолатига ўтказди ( $Q = 0, \bar{Q} = 1$ ).



4.6-расм. Синхрон  $D$ -триггер схемаси (а) ва унинг шартли белгиланиши (б)

Шундай қилиб,  $C = 1$  бўлганда триггерга ҳар доим  $D$  кириш йўлига берилаётган сигналга мос ахборот ёзилади. Триггернинг барқарор ишлаши учун синхросигнал таъсир қилаётган вақт мобайнида кириш йўлидаги ахборот ўзгармаслиги керак.

Синхрон  $D$ -триггерлар, 4.6-расм "б" дагидек шартли белгиланади.

4.  $T$ -триггер битта кириш йўлли схемадир ( $T$  харфи инглизча "toggle" – узиб-улагич сўзидан олинган). Унинг

ишлаш қонуни 4.4-жадвалда келтирилган. Бу триггер санок режимида ишлагани учун баъзан у санок триггери (санок кириш йўлли ёки умумий кириш йўлли триггер) деб аталади.

4.4 жадвал

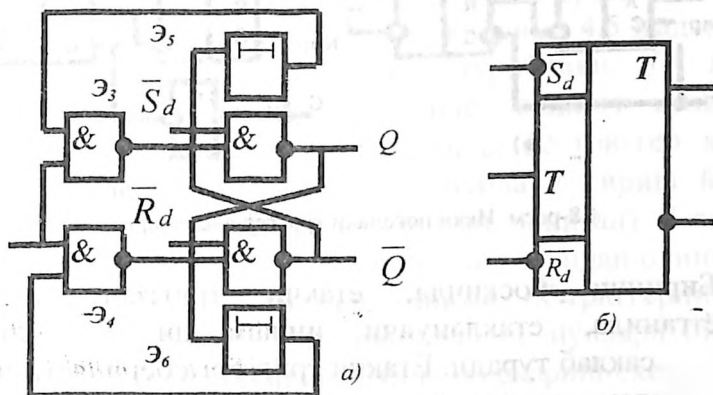
$n$ -такт	$n+1$ -такт
$T^n$	$Q^{n+1}$
0	$\overline{Q}^n$
1	$\overline{Q}^n$

$T$ -триггер ҳар бир кириш йўли сигналининг берилиши билан ўзининг ҳолатини тескарисига ўзгартиради. 4.7-расм "а"да тескари боғланишида  $\mathcal{E}_5$  ва  $\mathcal{E}_6$  кечиктириш элементлари бўлган триггернинг оддий схемаси кўрсатилган. Кечиктириш элементлари триггернинг бошқа ҳолатга ўтишида ишончликни таъминлаш учун зарур ҳисобланади. Кечиктириш вақти ( $t_{кеч}$ ) синхросигнал давомлигидан кичик бўлмаслиги шарт.  $T$ -триггерда синхросигнал кириш йўли триггернинг кириш йўли ҳисобланади.

Фараз қилайлик,  $Q = 1$ ,  $\overline{Q} = 0$ . Триггернинг санок йўлига берилган сигнал  $\mathcal{E}_4$  элементнинг чиқиш йўлида нуллик сигналининг пайдо бўлишига ва кетма-кет  $\overline{Q} = 1$ ,  $Q = 0$  сигналларининг ўрнатилишига, яъни триггернинг нуллик ҳолатига ўтишига олиб келади. Бу вақтда  $\mathcal{E}_3$  элементнинг чиқиш йўли ўзгармайди, чунки унинг кириш йўлида  $t_{кеч}$  мобайнида  $\overline{Q}$  чиқиш йўлидан  $\mathcal{E}_5$  кечиктириш элементи орқали нуллик сигнал таъсир қилади.

Санок сигналининг таъсири тугаши билан  $\mathcal{E}_3$  ва  $\mathcal{E}_4$  элементларнинг чиқиш йўлларидаги сигналлар бирлик қийматига эга бўладилар,  $\mathcal{E}_3$  элементнинг кириш йўлига

эса  $\mathcal{E}_5$  кечиктириш элементи оркали  $\bar{Q}$  чиқиш йўлидан рухсат берувчи сигнал берилади. Натижада кейинги санок сигнали триггерни бошланғич ҳолатига ўтказади.

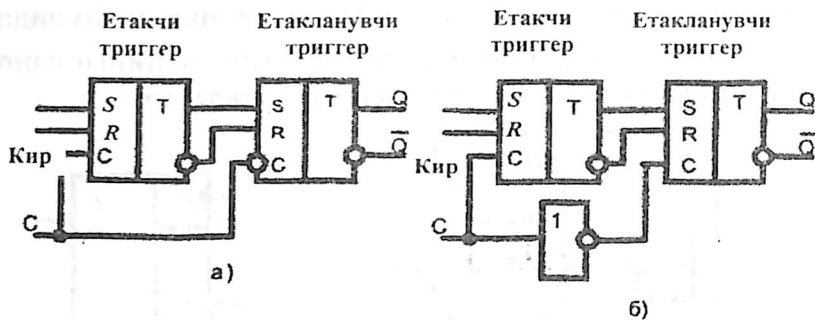


4.7-расм. T-триггер схемаси (а) ва унинг шартли белгиланиши (б)

$\mathcal{E}_5$  ва  $\mathcal{E}_6$  элементлар тескари боғланиш сигналларини кечиктириш учун хизмат қилади. Акс ҳолда санок сигнали таъсири вақтида триггер бирнеча бор ўз ҳолатини ўзгартириши мумкин. Интеграл триггерларда кечиктириш элементи вазифасини мантикий элементлар ёки заряд тўпловчи яримўтказгич элементлари ўтайди. T-триггерлар 4.7-расм "б" дагидек шартли белгиланади.

5. Ахборотни икки поғонали хотирловчи триггерлар иккита триггер тузилмасидан иборат. Бири етакчи деб, иккинчиси етакланувчи деб аталади (4.8-расм).

Иккала триггер синхрон триггерлар бўлиб, қарама-қарши синхрон кириш йўлларига эга. 4.8-расмда етакчи триггер тўғри синхрон кириш йўлига эга ва  $C = 1$  бўлганида ишлайди, етакланувчи эса инверс синхрон кириш йўлига эга ва  $C = 0$  да ишлайди.

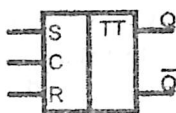


4.8-расм. Икки поғонали триггер схемалари

Биринчи – босқичда, етакчи триггерга ахборот ёзилаётганида, етакланувчи ишламайди ва олдинги ҳолатини сақлаб туради. Етакчи триггерга берилаётган сатх олиб ташланганидан сўнг ундан етакланувчи триггерга ахборот ёзилади. Шундай қилиб, инверсли мантиқ сатхларини бошқариш эвазига ахборотни босқичма-босқич ёзиш амалга оширилади.

Икки поғонали триггерда эски ахборотни сақлаш ва янги ахборотни қабул қилиш жараёнлари ўртасидаги қарама-қаршилик бартараф этилади. Бу ўз навбатида "мусобақа" ҳолатлари бартараф этилган синхрон автоматларни қуришга имкон беради.

Икки поғонали триггерлар кўпинча MS-триггерлар ("*master*" – хўжайин, "*slave*" – кул) ёки универсал триггерлар деб аталади ва иккиланган харф (ТТ) билан белгиланади (4.9-расм).



4.9-расм. Икки поғонали триггернинг шартли белгиланиши

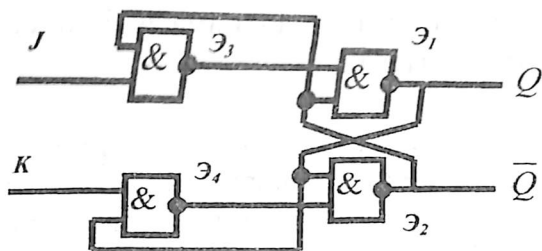
Икки поғонали триггер тузилмаси бўйича ихтиёрий триггерларни куриш мумкин.

6. *JK*-триггерлар - икки поғонали универсал синхрон триггер. *JK*-триггернинг ишлаш қонуни 4.5-жадвалда берилган. Бу жадвалдан кўриниб турибдики,  $J = K = 1$ , бўлганда *JK*-триггер санок режимидек олдинги ҳолатни инвертирласа, қолган комбинацияларда *RS*-триггер каби ишлайди (4.2-жадвалга қаралсин). Бунда *J* кириш йўли (инглизча jerk – кескин улаш сўзидан олинган) *S* га, *K* кириш йўли (инглизча kill – кескин узиш сўзидан олинган) *R* га эквивалентдир. 4.5-жадвалга биноан *JK*-триггерни *RS*-триггер асосида чиқиш йўллари кириш йўллари билан боғлаш орқали олиш мумкин. Бунда бошқариш схемасини шундай танлаш лозимки, триггернинг ўзидаги кириш йўлларида бир вақтда бирлик сигналлари пайдо бўлмасин. Натижада  $J = K = 1$  бўлганида бошқариш схемаси триггерни санок режимида ишлашга мажбур қилади.

4.5-жадвал

<i>n</i> -такт		<i>n</i> +1-такт
$K^n$	$J^n$	$Q^{n+1}$
0	0	$Q^n$
1	0	0
0	1	1
1	1	$\overline{Q}^n$

Асинхрон *JK*-триггернинг схемаси 4.10-расмда берилган. Фараз қилайлик, триггер бирлик ҳолатида бўлсин ( $Q=1, \overline{Q}=0$ ).  $J=0, K=1$  сигнал берилса  $\mathcal{E}_4$  элементнинг чиқиш йўлида нуллик сигнал ҳосил бўлади ва бу сигнал таъсирида триггер нуллик ҳолатига ўтади. Шунга ўхшаш,  $Q=0, \overline{Q}=1$  да  $J=1, K=0$  сигналлар таъсирида триггер бирлик ҳолатига ўтади.

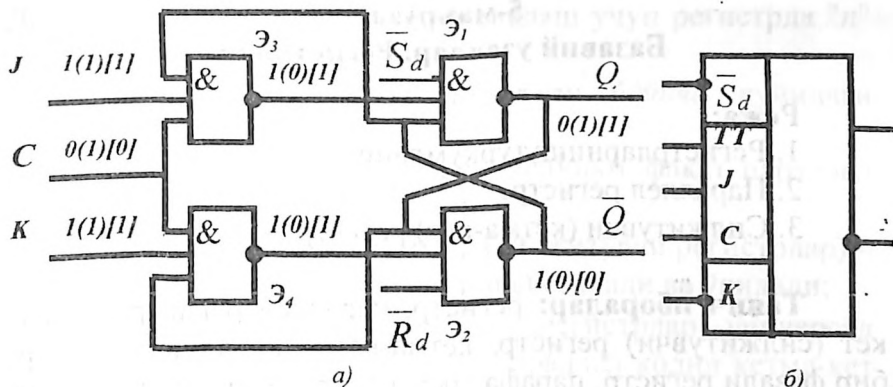


4.10-расм. Асинхрон JK-триггернинг схемаси

Триггернинг кириш йўлларида бир вақтнинг ўзида  $J = 1$ ,  $K = 1$  сигналлари пайдо бўлса, триггер қандай ҳолатда эканлигидан қатъий назар, у тесқари ҳолатига ўтади. Масалан,  $Q = 1$ ,  $\bar{Q} = 0$  бўлсин. Бу ҳолда  $J = 1$ ,  $K = 1$  сигналлари пайдо бўлса,  $\bar{Q}$  элементнинг чиқиш йўлида нуллиқ сигнал пайдо бўлади ва, демак  $\bar{Q} = 1$ ,  $Q = 0$ . Яъни, триггер нуллиқ ҳолатига ўтади. Шунга ўхшаш, кейинги  $J = K = 1$  сигнал берилиши билан триггер тесқари ҳолатига ўтади.

Синхросигнал билан бошқарилувчи синхрон JK-триггерни асинхрон триггер асосида синхросигнал бериладиган кириш йўлини қўшиш билан олиш мумкин (4.11-расм). Бу схеманинг ишлаш принципи синхрон триггерникидан унчалик фарқ қилмайди. Фарқи шуки, синхрон триггерга ахборот фақат синхросигнал берилгандагина киритилади. 4.11-расмда 0 ва 1 символлар орқали триггернинг санок режимида ишлашидаги синхросигнал берилгунга қадар (кавсиз), таъсири вақтида (кичик кавс ичидаги), таъсири тугагандан сўнги (ўрта кавс ичидаги) кириш ва чиқиш йўллари сигналларининг киймати акс эттирилган.

Синхрон JK-триггер 4.11, "б" расм дагидек шартли белгиланади.



4.11-расм. Синхрон JK-триггер схемаси (а) ва унинг шартли белгиланиши (б)

### Назорат саволлари:

1. Триггернинг C кириш йўли нимани билдиради?
2. Асинхрон ва синхрон триггерларнинг бир биридан фарқи нимада?
3. JK-триггернинг RS-триггердан фарқи.
4. Икки поғонали триггернинг афзаллиги нимада?

### Адабиёт:

1. Угрюмов Е.П. Проектирование элементов и узлов ЭВМ – М.; Высш. шк., 1987, с.3-5.
2. Схемотехника ЭВМ. Учебник для ВУЗов под редакцией Соловьева Г.Н. – М.; Высш. шк., 1985, с.3-8.
3. Безуглов Д.А., Калиенко И.В. Цифровые устройства и микропроцессоры., Ростов-на-Дону, 2006 г.
4. Хоровиц П., Хилл У. Искусство схемотехники. Изд. 3-е, Москва, Мир, 1986 г.
5. Каган Б.М. Электронные вычислительные машины и системы. М. Энергоатомиздат, 1991.



## 5-майруза. Базавий узеллар. Регистрлар

### Режа:

1. Регистрларнинг туркумланиши.
2. Параллел регистр.
3. Силжитувчи (кетма-кет) регистр.

**Таянч иборалар:** регистр, параллел регистр, кетма-кет (силжитувчи) регистр, кетма-кет – параллел регистр, бир фазали регистр, парафаз регистр, реверсив силжитувчи регистр.

1. Регистр деб кўп хонали иккили код кўринишида ифодаланган ахборотни ёзиш, сақлаш ва (ёки) силжитишга мўлжалланган тадрижий узелга айтилади ("регистр" сўзи инглизча *register* - қайдлаш сўзидан олинган). Таърифдан кўришиб турибдики, регистрларда хотирловчи элементлар бўлиши лозим, демак улар триггерларда қурилади. Ундан ташқари регистрларда триггерлар ишлашни бошқарувчи ёрдамчи комбинацион схемалар мавжуд.

Регистрларда қуйидаги амаллар бажарилади:

- сақланувчи ахборотни киритиш ва чиқариш;
- ахборотни сақлаш;
- сақланувчи ахборотни ўнгга ва чапга белгиланган хоналар сонига силжитиш;
- кетма-кет сон кодини параллел кодга ўзгартириш ва аксинча.

Регистрлар сонларни ишлашни ташкил этувчи, улар устида турли ўзгартириш бажарувчи қурилмаларда ҳам ишлатилиши мумкин.

Регистрнинг асосий вазифаси – иккили санок тизимида ифодаланган кўп хонали сонларни сақлаш.

Демак,  $n$ -хонали иккили сонни сақлаш учун регистрда " $n$ " та триггер бўлиши лозим.

*Ахборотни қабул қилиш усули бўйича* куйидаги регистрлар фаркланади:

- параллел регистрлар – ахборот фақат параллел кўринишда ёзилади ва ўқилади;

- кетма-кет регистрлар (силжитувчи регистрлар) – ахборот фақат кетма-кет кўринишда ёзилади ва ўқилади;

- кетма-кет – параллел регистрлар универсал регистрлар ҳисобланади ва улар параллел кодни кетма-кет кодга ўзгартира олади ва аксинча.

- *Силжитувчи регистрлар* бир томонлама ва икки томонлама (реверсив) силжишни амалга ошириши мумкин. Бир томонлама силжитувчи регистрлар ахборотни фақат бир томонга (ўнгга ёки чапга) силжитса икки томонлама силжитувчи регистрлар ахборотни ҳам ўнгга ҳам чапга силжита олади. Бундай регистрлар учун силжиш йўналиши режимини белгиловчи махсус кириш йўли кўзда тутилади.

2. Параллел регистрларда иккили сўзларни қабул қилиш ва ўзгартириш барча хоналари бўйича бир вақтнинг ўзида амалга оширилади. Шу сабабли турли хона триггерлари бир-бирлари билан боғланмаган ва ҳар бир триггер ўзининг мустақил кириш ва чиқиш йўллариغا эга (5.1-расм).

$RS$ -триггерларнинг кириш йўллариغا парафаз сигналлар берилса регистрга иккили код ёзилади (5.1-расм "а").  $x_i=1$  ( $\overline{x_i}=0$ ) да сигнал  $S$  кириш йўлига таъсир этади ва триггерни 1 ҳолатига ўтказиши.  $x_i=0$  ( $\overline{x_i}=1$ ) да мантикий 1  $R$  кириш йўлига берилади ва триггер 0 ҳолатига ўрнатилади. Демак, регистр ҳолати унинг кириш йўлига бериладиган сигналлар орқали аниқланади. Кириш йўли коди регистрга  $C$  кириш йўлига синхросигнал берилиши

вактида ёзилади. Ушбу регистрга ёзишда кириш йўлининг фақат тўғри ёки фақат тескари коди ишлатилса ахборотни ёзиш иккита тактда амалга оширилади. Биринчи тактда регистр тозаланади, яъни регистр триггерлари 0 ҳолатига ўтказилади, иккинчи тактда эса регистрга янги ахборот ёзилади.

5.1-расм "б"да  $D$ -триггерларда қурилган бир фазали кириш йўлига эга бўлган, бир тактли параллел регистр схемаси келтирилган. Бундай регистрда  $C$  – синхрон кириш йўлининг бирлик мантиқ сатхида барча триггерлар  $D$ -кириш йўлларидаги сигналларга мос ҳолатларга ўрнатилади. Ахборотни ёзиш учун синхронлашнинг битта сигнали кифоя. Қўшимча  $\bar{R}$  кириш йўли барча триггерларни битта сигнал ёрдамида 0 ҳолатига ўрнатишга хизмат қилади.

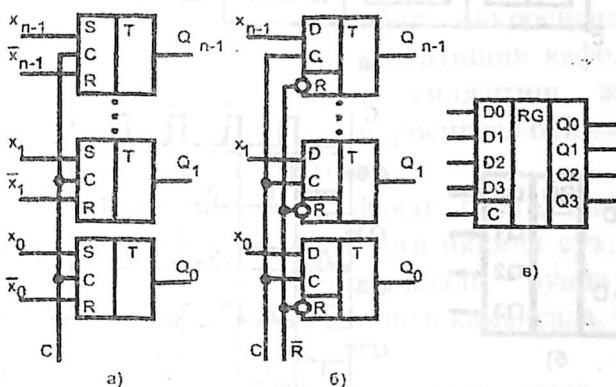
5.1-расм "в"да тўрт хонали параллел регистрнинг шартли белгиланиши келтирилган. Параллел регистрларда, уларнинг функционал имкониятларини кенгайтирувчи қўшимча ёрдамчи комбинацион схемалар бўлиши мумкин.

3. Силжитувчи (кетма-кет) регистрларда триггерлар кетма-кет уланган, яъни олдинги триггернинг чиқиш йўли ахборотни кейинги триггернинг кириш йўлига узатади.  $D$ -триггерларда қурилган энг содда бир фазали силжитувчи регистр схемаси 5.2-расм "а" да келтирилган.

Бошқариш барча триггерларга умумий бўлган синхронловчи сигналнинг fronti орқали амалга оширилади. Фараз қилайлик, регистр ҳолати қуйидагича бўлсин:  $Q_0=1, Q_1=0, Q_2=1, Q_3=1$ . Регистр кириш йўлига нулик ахборот келса, синхросигнал йўклигида регистрдаги ахборот ўзгаришсиз қолади.

Синхрон сигналнинг мусбат (олди) frontiда ҳар бир триггер  $D$ -кириш йўлидаги сигналга мос ҳолатга ўтади:

- биринчи такт сигнали таъсирида: мантикий "1"  $Q_0$  дан  $Q_1$  га; мантикий "0"  $Q_1$  дан  $Q_2$  га; мантикий "1"  $Q_2$  дан  $Q_3$  га ўтади;
- иккинчи такт сигнали таъсирида: мантикий "0"  $Q_0$  дан  $Q_1$  га; мантикий "1"  $Q_1$  дан  $Q_2$  га; мантикий "0"  $Q_2$  дан  $Q_3$  га ўтади;
- учинчи такт сигнали таъсирида: мантикий "0"  $Q_0$  дан  $Q_1$  га; мантикий "0"  $Q_1$  дан  $Q_2$  га; мантикий "1"  $Q_2$  дан  $Q_3$  га ўтади ва х.



5.1-расм. Парафаз параллел регистр схемаси (а), бир фазали параллел регистр схемаси (б), параллел регистрнинг шартли белгиланиши (в)

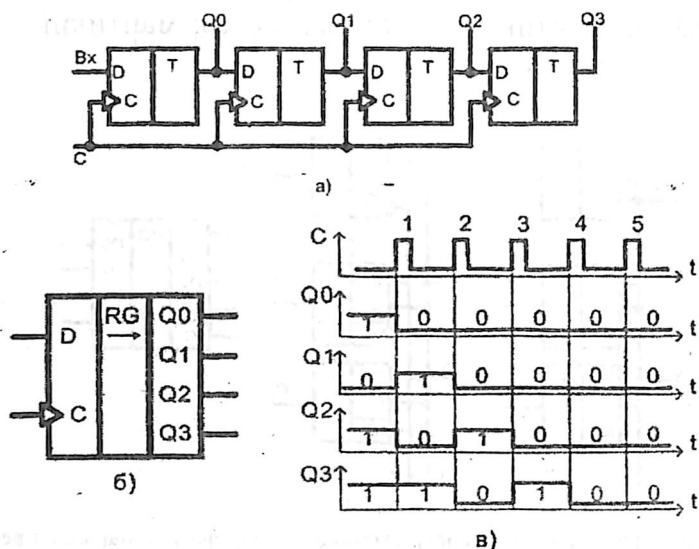
Силжитувчи регистр ишлашини 5.2-расм "б" ва 5.1-жадвал ёрдамида намоиш этиш мумкин. Уларда ўнг тарафга кетма-кет силжитиш амалга оширилганидаги регистр ҳолати келтирилган.

Чап тарафга силжитишни амалга ошириш учун силжитувчи регистрга ахборот узатилиш йўналишини ўзгартирувчи элементларни киритиш лозим. Бошқача айтганда, триггер чиқиш йўлини унинг чап тарафидаги хона кириш йўлига улаш орқали триггерлар ўртасидаги

боғланишни ўзгартириш лозим. 5.3-расмда икки томонлама (реверсив) силжитувчи регистр схемаси келтирилган.

$S = 1$  да схема юқорисидаги И элементлар очилади, ахборот ўнг тарафга силжитилади.

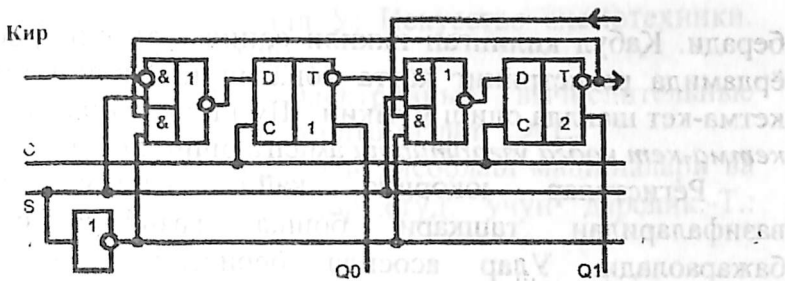
$S = 0$  да схема пастисидаги И элементлар очилади, ахборот чап тарафга силжитилади.



5.2-расм. Бир фазали силжитувчи регистр схемаси (а), шартли белгиланиши (б), ишлашининг вақт диаграммаси (в)

5.1 жадвал

Хона номери	$Q_0$	$Q_1$	$Q_2$	$Q_3$
1 такт	1	0	1	1
	→	→	→	→
	0	1	0	1
2 такт	0	1	0	1
	→	→	→	→
	0	0	1	0
3 такт	0	0	1	0
	→	→	→	→
	0	0	0	1



5.3-расм. Реверсив силжитувчи регистр схемаси

Силжитувчи регистрларда фақат икки поғонали триггерлар ишлатилади. Бу ҳар бир синхросигнал бўйича ахборотни қатъий бир хонага силжитишни кафолатлайди. Бошқа триггерлар ишлатилса силжитиш жараёнини бошқариб бўлмайди ва битта синхросигнал бўйича ахборот бир неча хонага силжиши мумкин.

Битта кириш йўли ва фақат битта чиқиш йўли ишлатилувчи силжитувчи регистрга иккили сўз кетма-кет киритилади ва кетма-кет чиқарилади. Бунда рақамли қурилмалардаги шиналар хоналилиги камайсада, тезкорлик пасаяди.

Сонни киритиш ёки чиқариш учун  $n$ -хонали регистрда синхросигналлар сони триггерлар сонига тенг бўлиши лозим. 5.2-расмда ҳар бир триггер ўзининг чиқиш йўлига эга.  $n$ -хонали регистрга  $n$ -такт мобайнида кетма-кет ёзилган сонни барча хона триггерлари чиқиш йўлларида бир вақтда параллел шаклда олиш мумкин. Шу тариқа *иккили кодни кетма-кет шаклдан параллел шаклга ўзгартириш* амалга оширилади.

Силжитувчи регистрнинг ҳар бир триггери ёрдамчи комбинацион схема орқали ихтиёрий берилган ҳолатга ўрнатовчи кириш йўллари билан таъминланиши мумкин. Бу сонларнинг параллел шаклда қабул қилинишига имкон

беради. Қабул қилинган иккили сонни  $n$ -та синхросигнал ёрдамида регистрининг катта хонасининг чиқиш йўлидан кетма-кет шаклда олиш мумкин. Шу тариха *параллел кодни кетма-кет кодга ўзгартириш* амалга оширилади.

Регистрлар юқорида қайд этилган асосий вазифаларидан ташқари бошқа вазифаларни ҳам бажараолади. Улар асосида берилган такт сонига кечиктирувчилар, тўпловчи жамлагичлар, давомлилиги катта сигналларни шакллантиргичлар, псевдотасодифий кетма-кетлик генераторлари қурилади. Регистрлар арифметик-мантиқий қурилмаларда турли мантиқий амалларни бажарувчи узеллар сифатида ишлатилади.

### **Назорат саволлари:**

1. Регистрга таъриф беринг.
2. Регистрда бажариладиган асосий амалларни санаб ўтинг.
3. Кетма-кет кодни параллел кодга ва параллел кодни кетма-кет кодга ўзгартириш қандай амалга оширилади?
4. Силжитувчи регистрларда қандай триггерлар ишлатилади ва нима учун?
5. Регистрлар қандай қурилмаларда ишлатилади?

### **Адабиёт:**

1. Угрюмов Е.П. Проектирование элементов и узлов ЭВМ – М.; Высш. шк., 1987, с.3-5.
2. Схемотехника ЭВМ. Учебник для ВУЗов под редакцией Соловьева Г.Н. – М.; Высш. шк., 1985, с.3-8.
3. Безуглов Д.А., Калиенко И.В. Цифровые устройства и микропроцессоры., Ростов-на-Дону, 2006 г.

4. Хоровиц П., Хилл У. Искусство схемотехники. Изд. 3-е, Москва, Мир, 1986 г.

5. Каган Б.М. Электронные вычислительные машины и системы. М. Энергоатомиздат, 1991.

6. Ганиев С.К. Электрон ҳисоблаш машиналари ва системалари: Олий ўқув юрт.студ. учун дарслик.-Т.: Ўқитувчи, 1990.-2006.

## 6-маъруза

### Базавий узеллар. Счётчиклар

#### Режа:

1. Счётчиклар. Туркумланиши, вазифалари ва параметрлари.

2. Иккили счётчик.

3. Ихтиёрий санаш модулли счётчик.

**Таянч иборалар:** счётчик, санаш модули, инкремент, декремент, частотани бўлиш, иккили счётчик, ўнли счётчик, жамловчи счётчик, айирувчи счётчик, реверсив счётчик, асинхрон счётчик, синхрон счётчик.

1. Счётчик деб кириш йўли сигналларини санашга ва улар сонини қайдлашга мўлжалланган тадрижий узелга айтилади. Сигналларни санаш ахборотни дискрет ишлаш қурилмаларида кенг тарқалган амаллардан бири ҳисобланади.

Счётчикларнинг асосий вазифалари қуйидагилар:

- кириш йўлига берилган сигналларни санаш;
- частотани бўлиш.

Счётчиклар регистрларга ўхшаб бир бири билан боғланган бир хил триггерлар асосида қурилади. Кўпинча  $T$ - ва  $JK$ -триггерлар ишлатилади, чунки  $T$ -триггерлар



санаш триггери деб аталса, JK-триггери  $J = K = 1$  да санок триггери каби ишлайди.

Счётчикларда комбинацион элементлар триггер ишлашини бошқаради. Счётчикдаги триггерлар сони у санай оладиган сигналларнинг сони орқали аниқланади.

Счётчикларда куйидаги мантикий амаллар бажарилади:

- счётчикни нул ҳолатига ўтказиш (тозалаш);
- кириш йўли ахборотини параллел шаклда ёзиш;
- ёзилган ахборотни сақлаш;
- сақланаётган ахборотни параллел шаклда узатиш;
- инкремент – сақланаётган сонни биттага орттириш;
- декремент – сақланаётган сонни биттага камайтириш.

Счётчикларнинг асосий параметри санаш модули  $M$  ҳисобланади. Счётчикнинг санаш модули деганда сигналларнинг шундай максимал сонига айтиладики, ундан сўнг счётчик нул ҳолатига ўтади (тозаланади).

Модул киймати бўйича иккили ва иккили бўлмаган счётчиклар фарқланади. Иккили счётчикларда санаш модули иккиннинг даражасига каррали сон орқали аниқланади, яъни  $M = 2^n$ . Иккили бўлмаган, ихтёрий санаш модулли счётчикларда санаш модули иккиннинг даражасига каррали сон бўлмайди, яъни  $M \neq 2^n$ .

Санаш йўналиши бўйича куйидаги счётчиклар фарқланади:

- жамловчи счётчиклар (тўғри сановчи), бу счётчикларда счётчик ҳолати кўпаяди (инкремент);
- айирувчи счётчиклар (тескари сановчи), бу счётчикларда счётчик ҳолати камаяди (декремент);

- реверсив счѣтчиклар, бу счѣтчиклар бошқариш сигнали бўйича жамловчи ёки айирувчи счѣтчик каби ишлайди.

*Санаш амалини ташкил этиши* бўйича асинхрон ва синхрон счѣтчиклар фарқланади. Асинхрон счѣтчикларда ҳар бир кейинги триггер олдинги триггер схемасида шакланган сигнал орқали бошқарилади. Синхрон счѣтчикларда эса санок сигналлари барча триггерларнинг синхрон кириш йўлига барабар берилади.

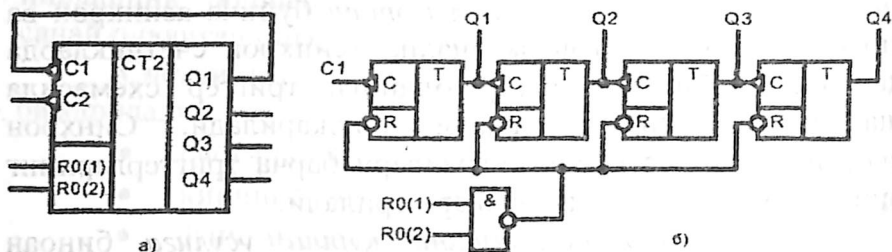
*Хоналараро боғланишни қуриш усулига* биноан кетма-кет, параллел ва гурухли кўчиришли счѣтчиклар фарқланади.

2. Иккили асинхрон счѣтчик ишлашини икки поғонали санок триггерларда қурилган тўрт хонали счѣтчик мисолида кўрайлик (6.1-расм). Бу счѣтчик иккита санок кириш йўлига ( $C_1, C_2$ ) ва иккита нулга ўрнатиш кириш йўлига  $[R0(1), R0(2)]$  эга. Триггерлар кириш йўли сигналининг орқа fronti бўйича (1дан 0га ўтганида) ишлайди. Тўртта кетма-кет уланган триггерлар модули  $2^4=16$  га тенг счѣтчикни ташкил этади.

6.2-расмдаги вақт диаграммасида счѣтчик кириш йўлига сигналларнинг даврий кетма-кетлиги берилганида ҳар бир триггернинг ҳолати кўрсатилган. 6.1-жадвалда эса кириш йўлига берилган сигналлар сонига мос триггерлар ҳолати келтирилган. Счѣтчик кириш йўлига берилган ҳар бир янги сигнал счѣтчик ҳолатини биттага орттиради, яъни инкремент амали бажарилади.

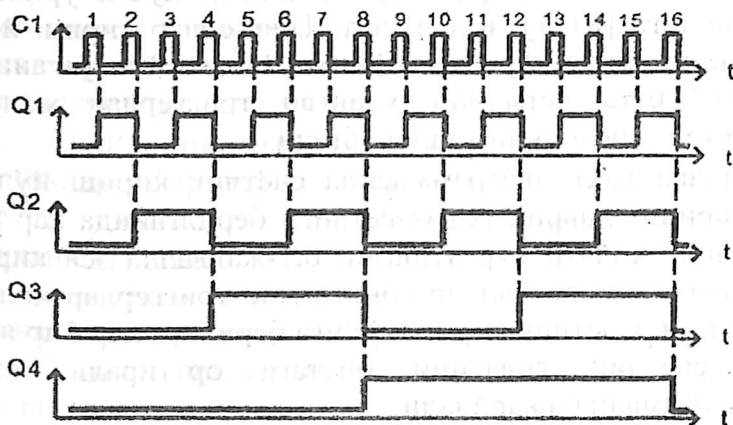
Санок триггери кириш йўли сигнали частотасини иккига бўлишлиги сабабли, тўртта кетма-кет уланган триггерлар занжири частотани 16 га бўлади. Ҳар бир ўн олтинчи сигнал келиши билан счѣтчик нул ҳолатига ўтади

ва санаш цикли қайтадан бошланади. 6.1-расмдаги сўтчик жамловчи сўтчик ҳисобланади.



6.1-расм. Тўрт хонали асинхрон сўтчик схемаси

Агар сўтчикдаги триггерлар сигналнинг олди фронти бўйича (Одан 1га ўтганида) ишласа сўтчик айирувчи сўтчикка айланади, яъни у декремент амалини бажаради. Бундай сўтчикнинг вақт диаграммаси 6.3-расмда келтирилган.



6.2-расм. Тўрт хонали асинхрон жамловчи сўтчик ишлашининг вақт диаграммаси

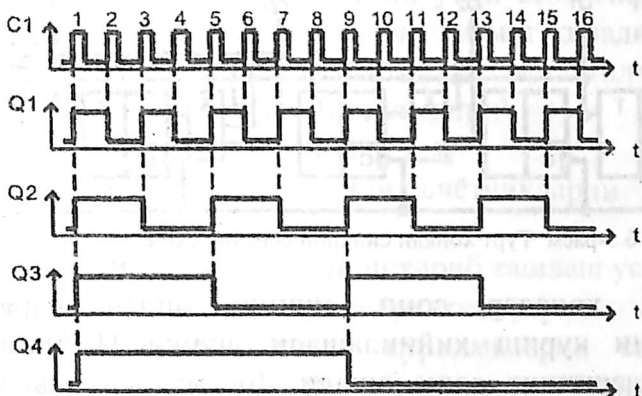
Тўғри ва тескари санашнинг турли вариантларидан фойдаланиб реверсив сўтчикни куриш мумкин. 6.4-расмда реверсив сўтчикнинг бир варианты келтирилган. V кириш

йўлига мантикий нул берилса ( $V=0$ ) счётчик жамловчи счётчик каби ишласа, мантикий бир берилса ( $V=1$ ) счётчик айирувчи счётчик каби ишлайди. Юқорида кўрилган счётчикларда хар бир триггер ўз ҳолатини ундан олдинги триггер ўзгартирганидан сўнг ўзгартиради. Шу сабабли бу счётчиклар кетма-кет кўчиришли счётчик деб юритилади. Бу счётчик схемалари содда бўлсада, тезкорлиги паст.

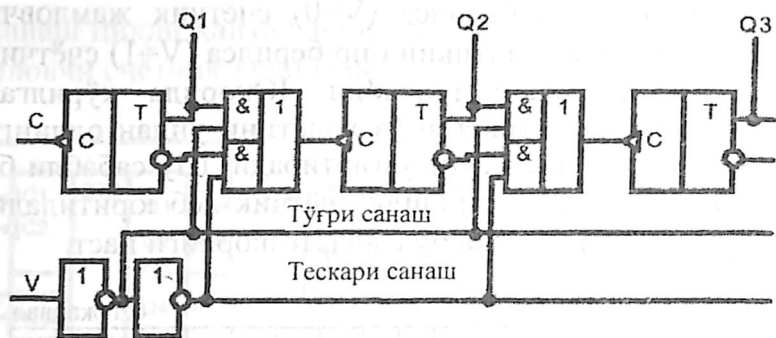
6.1-жадвал

Берилган сигналлар сони		0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
Кирини нуллари	Q1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
	Q2	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0	0
	Q3	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1	0	0
	Q4	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	0	0

Якуний коднинг ўрнатилиш вақти счётчикнинг турли ҳолатида турлича бўлади. Масалан, счётчикда  $0_{10}=0000$ ,  $4_{10}=0100$  ва ҳ. ёзилган бўлса кириш йўли сигнали таъсирида битта триггер ўз ҳолатини ўзгартирса,  $15_{10}=1111$  ёки  $7_{10}=0111$  ҳолатидан кейинги ҳолатга ўтишда барча тўртта триггер ўз ҳолатини ўзгартиради.

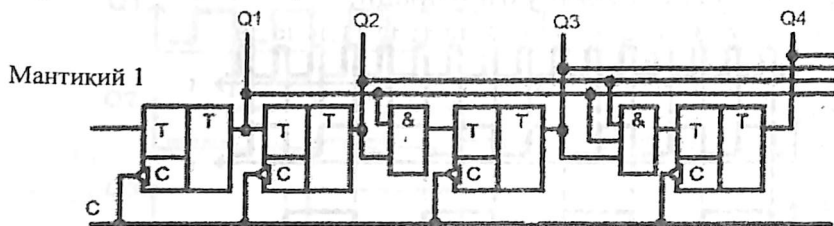


6.3-расм. Тўрт хонали асинхрон айирувчи счётчик ишлашининг вақт диаграммаси



6.4-расм. Асинхрон реверсив сётчикнинг схемаси

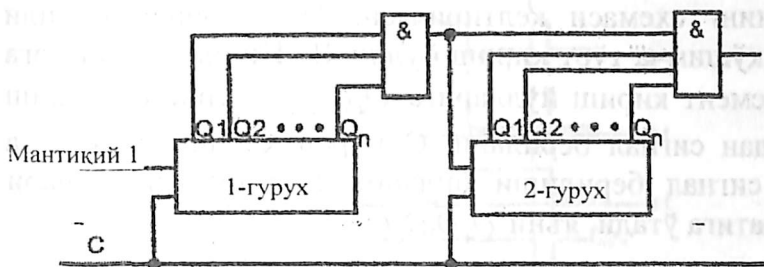
Якуний кодни ўрнатиш вақтини камайтириш учун сётчикнинг барча триггерларини бир вақтда ўз ҳолатларини тескарисига ўзгаришини таъминлаш лозим. Яъни асинхрон сётчиклардан воз кечиб, синхрон сётчиклардан фойдаланиш лозим. 6.5-расмда келтирилган сётчикда синхросигнал С берилиши билан барча триггерлар ўз ҳолатини бир вақтда ўзгартиради. Бундай сётчиклар параллел кўчиришли сётчиклар деб юритилади ва юқори тезкорликка эга.



6.5-расм. Тўрт хонали синхрон сётчик схемаси

Аммо, хоналар сони ошиши билан параллел сётчикларни қуриш қийинлашади, чунки И элементи кириш йўлларининг сони ошади. Бу эса ўз навбатида триггерлар чиқиш йўлида юкламанинг ошишига олиб келади. Шу сабабли, хоналар сонининг кўплигида комбинацияланган – кетма-кет – параллел кўчиришли

тузилмалардан фойдаланилади. Бунда бир неча триггерлар гуруҳларга бирлаштирилиб, гуруҳ ичида параллел кўчириш ташкил этилса, гуруҳлар орасида кетма-кет кўчириш амалга оширилади (6.6-расм). Гуруҳдан кўчириш сигнали ушбу гуруҳ барча триггерларининг birlik ҳолатида рўй беради.



6.6-расм. Гуруҳли кўчиришли сётчик схемаси

3. Ихтиёрый санаш модулли сётчикни куриш учун  $\log_2 M$  сони энг яқин бутун сонгача яхлитланади

$$n \geq \log_2 M, \quad n - \text{бутун сон}$$

Натижада триггерларнинг керакли сонини оламиз. Ихтиёрый санаш модулли сётчик учун асос сифатида  $2^n$  ҳолатга эга бўлган иккили сётчик хизмат қилади. Демак, ихтиёрый санаш модулли сётчикда ишлатилмайдиган ортикча ҳолатлар қуйдагича аниқланади:

$$L = 2^n - M$$

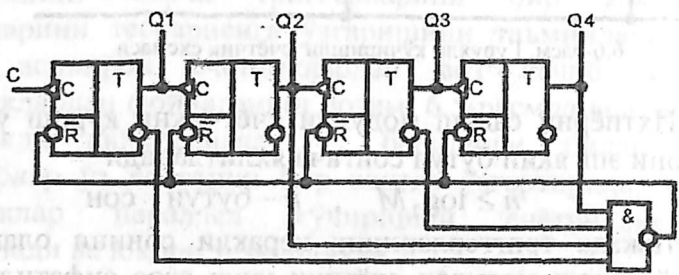
Ихтиёрый санаш модулли сётчикларни куришда ишлатилмайдиган асосий усуллар:

- ортикча ҳолатларни чиқариб ташлаш усули;
- бошқарилувчи нулга ўрнатиш усули.

Биринчи усул рақамли қурилмаларни синтезлаш алгоритмига асосланган ва тўпи катта қурилмаларни куришда ишлатилади. Акс ҳолда бу усулни ишлатиш мақсадга мувофиқ ҳисобланмайди.

Амалиётда кўпинча бошқарилувчи нулга ўрнатиш усулидан фойдаланилади. Усул ғоясига биноан счётчик чиқиш йўлида исталган санок модули  $M$ га мос келувчи коднинг пайдо бўлиши биланок счётчик триггерлари нул ҳолатига ўтказилади.

6.7-расмда санаш модули  $M = 10$ , яъни ўнли счётчикнинг схемаси келтирилган. Тўрт ҳонали иккили счётчик кўшимча тўрт кириш йўлли 4И-НЕ элементи га ва бу элемент кириш йўллари га  $Q_4 \overline{Q_3} Q_2 \overline{Q_1}$  триггер чиқиш йўллари дан сигнал берилади. Синхрон кириш йўли  $C$  га ўнинчи сигнал берилиши биланок счётчик триггерлари 1010 ҳолатига ўтади, яъни  $Q_4 \overline{Q_3} Q_2 \overline{Q_1} = 1111$ .

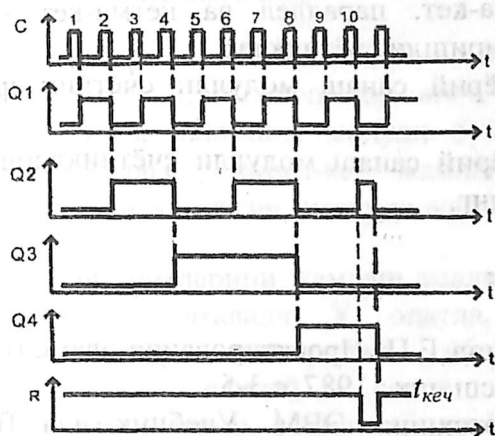


6.7-расм. Ўнли счётчикнинг схемаси

4И-НЕ элементи сигнал тарқалишининг кичикиши вақтидан сўнг ўз чиқиш йўлида нулга ўрнатиш сигналини шакллантиради ва бу сигнал счётчик триггерларини нул ҳолатига ўтказида. Сўнгра санашнинг кейинги цикли бошланади. Ушбу ўнли счётчик ишлашининг вақт диаграммаси 6.8-расмда келтирилган.

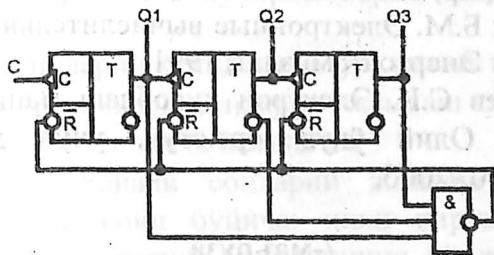
Шу тариқа санаш модулининг ихтиёрий бошқа қийматларига мос счётчикларни куриш мумкин. Масалан, санаш модули 5 га тенг бўлган счётчикни куриш учун 3 та триггер керак бўлади. 6.9-расмда санаш модули 5 га тенг

бўлган счётчик мисоли келтирилган. ЗИ-НЕ элемент кириш йўлига  $5_{10}=10_{12}$  га мос ҳолда  $Q_3\bar{Q}_2Q_1$  сигналлари берилади.



6.8-расм. Ўнли счётчик ишлашининг вақт диаграммаси

Сўнгра синхрон кириш йўлига бешинчи сигнал берилиши билан ЗИ-НЕ элемент чиқиш йўлида счётчик триггерларида нул ҳолатни ўрнатувчи сигнал шаклланади.



6.9-расм. Санаш модули  $M=5$  бўлган счётчик схемаси

### Назорат саволлари

1. Счётчик таърифи ва асосий вазифалари.
2. Счётчик қандай мантикий амалларни бажаради?
3. Счётчикларнинг туркумланиши.



4. Счётчикнинг "санаш модули" деганда нима тушунилади?

5. Кетма-кет, параллел ва кетма-кет – параллел (гурухли) кўчиришли счётчиклар.

6. Ихтиёрий санаш модулли счётчикларни куриш усуллари.

7. Ихтиёрий санаш модулли счётчикларни куришга мисол келтиринг.

### **Адабиёт:**

1. Угрюмов Е.П. Проектирование элементов и узлов ЭВМ – М.; Высш. шк., 1987, с.3-5.

2. Схемотехника ЭВМ. Учебник для ВУЗов под редакцией Соловьёва Г.Н. – М.; Высш. шк., 1985, с.3-8.

3. Безуглов Д.А., Калиенко И.В. Цифровые устройства и микропроцессоры., Ростов-на-Дону, 2006 г.

4. Хоровиц П., Хилл У. Искусство схемотехники. Изд. 3-е, Москва, Мир, 1986 г.

5. Каган Б.М. Электронные вычислительные машины и системы. М. Энергоатомиздат, 1991.

6. Ғаниев С.К. Электрон ҳисоблаш машиналари ва системалари: Олий ўқув юрт.студ. учун дарслик.-Т.: Ўқитувчи, 1990.-2006.

### **7-майруза**

#### **Базавий узеллар. Жамлагич**

#### **Режа:**

1. Жамлагич. Таърифи ва туркумланиши.

2. Бир хонали комбинацион жамлагич.

3. Бир хонали тўпловчи жамлагич.

4. Иккили-ўнли комбинацион жамлагич.

## 5. Кўп хонали жамлагичлар.

**Таянч иборалар:** жамлагич, яримжамлагич, комбинацион жамлагич, тўпловчи жамлагич, комбинацион-тўпловчи жамлагич, иккиннинг модули бўйича жамлаш, иккили-ўнли жамлагич, кетма-кет жамлагич, параллел жамлагич, асинхрон жамлагич, синхрон жамлагич.

1. Икки сон хоналарини жамлаш амалини бажарувчи узел жамлагич деб аталади. У, одатда, бир хонали жамловчи схемалар мажмуидан иборат бўлади. Кўшилувчиларнинг қандай санок системасида берилишидан қатъий назар, кўшиш амали бажарилганида ҳар бир хонада учта рақам: биринчи кўшилувчининг рақами, иккинчи кўшилувчининг рақами ва олдинги (кичик) хонадан кўчириш қиймати рақами кўшилади. Натижада ҳар бир хона учун шу хона йиғиндиси рақами ва кейинги (катта) хонага кўчириш қиймати рақами ҳосил қилинади.

Жамлагичларни қуйидагича туркумлаш мумкин:

- бир хонали сонларни жамлаш усули бўйича комбинацион ва тўпловчи жамлагич.

- бир хонали сонларни жамлаш схемасидаги кириш йўллари сони бўйича: икки кириш йўлли бир хонали (ярим жамлагич) ва уч кириш йўлли бир хонали жамлагич.

Кўп хонали сонларни жамлаш усули бўйича:

- кетма-кет, параллел жамлагич;
- санок системасининг асоси ва қабул қилинган кодлаш усули бўйича иккили, учли, ўнли ва иккили-ўнли жамлагич;

- кўчириш занжирини ташкил қилиш усули бўйича кетма-кет, бошдан-оёқ, бир вақтда, гуруҳли,

шартли кўчиришли ва кўчириш қиймати сигналини хотирада сакловчи жамлагич.

2. Комбинацион жамлагич - кириш йўлларига кўшилувчиларнинг кодлари бир вақтда берилиши билан чиқиш йўлларида йиғинди ва кейинги (катта) хонага кўчириш қиймати сигналини ҳосил қилувчи мантиқий қурилмадир. Кўшилувчиларнинг сигналларидан бири олиб ташланиши билан комбинацион жамлагичнинг чиқиш йўлидаги йиғинди қиймати йўқолади.

Юқорида айтиб ўтилганидек, жамлагич бир хонали жамловчи схемалар мажмуи бўлгани учун, аввал бир хонали комбинацион жамлагичларни кўриб чиқамиз.

*Бир хонали комбинацион жамлагич* иккили кўшишнинг ҳақиқийлик жадвалига (7.1-жадвал) биноан ишлайди.

7.1-жадвал

$a_i$	$b_i$	$p_i$	$c_i$	$p_{i+1}$
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

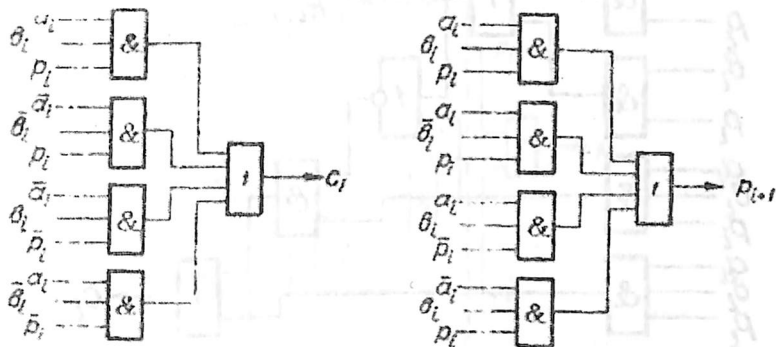
Бу жадвалда  $a_i$ ,  $b_i$  - берилган хонадаги кўшилувчилар рақами,  $p_i$  - олдинги (кичик) хонадан кўчириладиган қийматнинг рақами,  $c_i$  - йиғинди рақами,  $p_{i+1}$  кейинги (катта) хонага кўчириладиган қийматнинг рақами.  $c_i$  ва  $p_{i+1}$  учун аналитик ифодалар қуйидаги кўринишда бўлади:

$$\begin{aligned}
 c_i &= a_i \cdot \bar{b}_i \cdot \bar{p}_i \vee \bar{a}_i \cdot b_i \cdot \bar{p}_i \vee \bar{a}_i \cdot \bar{b}_i \cdot p_i \vee a_i \cdot b_i \cdot p_i; \\
 p_{i+1} &= a_i \cdot b_i \cdot \bar{p}_i \vee a_i \cdot \bar{b}_i \cdot p_i \vee \bar{a}_i \cdot b_i \cdot p_i \vee a_i \cdot b_i \cdot p_i.
 \end{aligned}
 \tag{7.1}$$

Бу ифода бўйича жамлагич схемасини И, ИЛИ, НЕ элементларидан фойдаланиб куриш мумкин (7.1-расм). Схеманинг кириш йўлларида  $a_i, b_i, p_i$  сигналлари билан бир қаторда уларнинг инверсиялари  $\bar{a}_i, \bar{b}_i, \bar{p}_i$  ишлатилади. Агар қўшилувчилар рақамлари ( $a_i$  ва  $b_i$ ) регистрлардан олинса, уларнинг инверсияларини олиш қийин эмас. Лекин чиқиш йўлидаги кўчиш қиймати сигнали кейинги хона учун  $p_i$  сифатида ишлатилиши сабабли унинг инверсия чиқиш йўли ҳам бўлиши шарт. Бунинг учун схемада НЕ элементидан фойдаланилади.

Агар 7.1-расмда кўрсатилган жамлагич схемасида ИЛИ ва И элементлар диодларда курилса, схемада 32 диод (ИЛИ ва И элементларининг ҳар бир кириш йўлига биттадан) ва битта инвертор ишлатилган бўлар эди.

Мантикий схемаларни синтезлашнинг формал усулларида фойдаланиб,  $c_i$  ва  $p_{i+1}$  функцияларни минималлаштириш ва шу тариқа кам элемент талаб қилувчи ёки бошқа бирор афзалликларга эга бўлган жамлагич схемаларини тузиш мумкин.



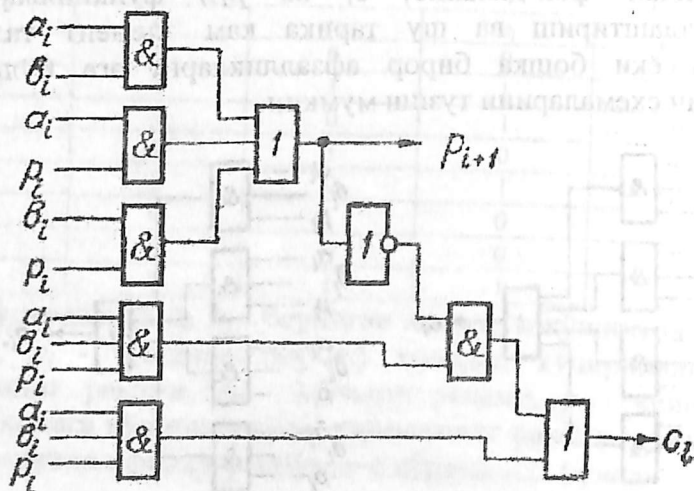
7.1-расм. Бир хонали комбинацион жамлагич схемаси (1-вариант)

Лекин бир хонали жамлагичларнинг кам элементли ва қулай кириш йўлларига эга бўлган энг яхши схемалари

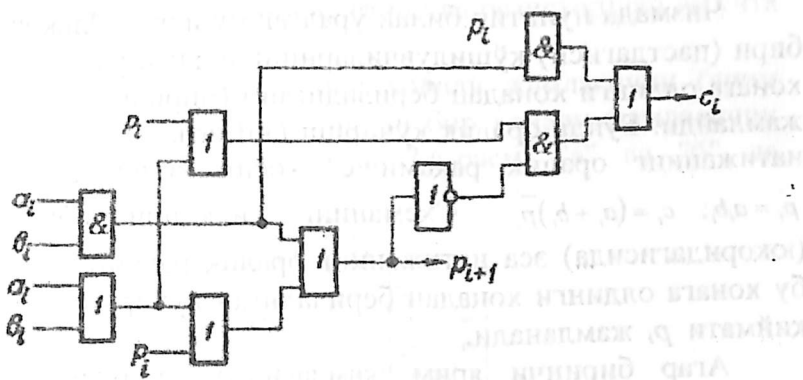
тажриба йўли билан олинган. Бундай схемалардан бири 7.2-расмда келтирилган. Бу схемада ҳаммаси бўлиб 19 диод ва битта инвертор ишлатилади. Ундан ташқари, бирорта мантиқий схеманинг чиқиш йўли бошқа иккита элементнинг кириш йўлига уланмаган ва схеманинг кириш йўлларида эркин ўзгарувчининг инверс қийматлари ишлатилмайди.

Агар битта элементнинг чиқиш йўли иккита элементнинг кириш йўлларига уланиши мумкин бўлса, жамлагич схемасидаги элементлар сонини янада камайтириш мумкин. Ҳаммаси бўлиб 16 та диод ва битта инвертор ишлатиладиган бир хонали жамлагичнинг схемаси 7.3-расмда келтирилган.

Бу схемада ҳам, олдинги схемадагидек, элемент кириш йўлларида эркин ўзгарувчининг инверс қийматлари ишлатилмайди.

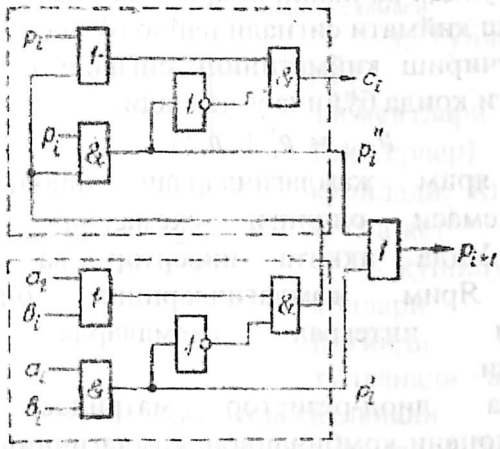


7.2-расм. Бир хонали комбинацион жамлагич схемаси (2-вариант)



7.3-расм. Бир хонали комбинацион жамлагич схемаси (3-вариант)

Иккита мутлақо бир хил бўлаклардан яримжамлагичлардан ва қўшимча битта ИЛИ элементида ташкил топган жамлагич схемаси 7.4-расмда берилган.



7.4-расм. Иккита яримжамлагичлардан ташкил топган бир хонали комбинацион жамлагич схемаси

Чизмада пунктир билан ўралган бу икки бўлақлардан бири (пастдагиси) кўшилувчиларнинг иккита рақамини бу хонага олдинги хонадан бериладиган кўчириш қийматисиз жамлайди. Бунда оралиқ кўчириш қиймати сигнали  $p_i'$  ва натижанинг оралиқ рақами  $c_i'$  ҳосил қилинади, яъни,  $p_i' = a_i b_i$ ;  $c_i' = (a_i + b_i) p_i'$ . Схеманинг иккинчи бўлагиди (юқоридагисида) эса натижанинг оралиқ рақами  $c_i'$  билан бу хонага олдинги хонадан бериладиган кўчириш сигнали қиймати  $p_i$  жамланади.

Агар биринчи ярим жамлагичда кейинги хонага кўчириш қиймати сигнали пайдо бўлмаса ( $p_i = 0$ ) бу сигнал иккинчи ярим жамлагичда кўшилувчиларнинг бирортаси ( $a_i$  ёки  $b_i$ ) нинг ва олдинги хонадан бериладиган кўчириш қийматининг сигнали 1га тенг ( $p_i = 1$ ) бўлгандагина пайдо бўлиши мумкин. Агар биринчи ярим жамлагичда кейинги хонага кўчириш қийматининг сигнали пайдо бўлса ( $p_i' = 1$ ), унда  $c_i' = 0$  бўлади ва иккинчи ярим жамлагичда кейинги хонага кўчириш қиймати сигнали пайдо бўла олмайди.

Тугал кўчириш қийматининг сигнали  $p_{i+1}$  кейинги хонага қуйидаги қоида бўйича узатилади;

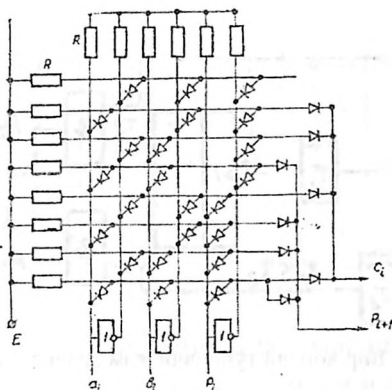
$$p_{i+1} = p_i' + p_i''.$$

Иккита ярим жамлагичлардан ташкил топган жамлагич схемаси олдинги схемаларга қараганда тежамлидир. Унда иккита инвертор ва 14 диод ишлатилади. Ярим жамлагичларнинг ишлатилиши жамлагичларни интеграл схемаларда қуришни енгиллаштиради.

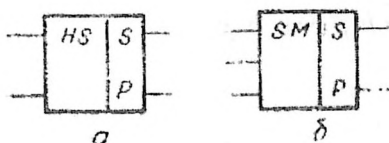
7.5-расмда диод-резистор матрицаси асосида қурилган бир хонали комбинацион жамлагичнинг схемаси берилган. Матрицада кўшилувчилар қийматларининг ҳар хил комбинацияларидаги мумкин бўлган барча йиғинди қийматлари жадвали ёзилган. Бу жамлагични интеграл схемаларда қуриш қулай, чунки у бир-бирига оддий

уланган икки хил компонент (диод ва резистор)дан ва учта инвертордан иборат.

Икки кириш йўлли бир хонали жамлагични (ярим жамлагични) ва уч кириш йўлли бир хонали жамлагични шартли белгилаш мос ҳолда 7.6-расм, "а" ва "б" да келтирилган.



7.5- расм. Диод-резистор матричаси асосида қурилган бир хонали комбинацион жамлагич схемаси



7.6-расм. Бир хонали комбинацион жамлагичларнинг шартли белгиланиши

3. Тўпловчи жамлагич хотирлаш элементлари (одатда триггерлар) асосида қурилади. Кириш йўлига кетма-кет берилган кўшилув-чиларнинг кодлари жамлагичда йиғинди кўринишида тўпланади ва сигналлар

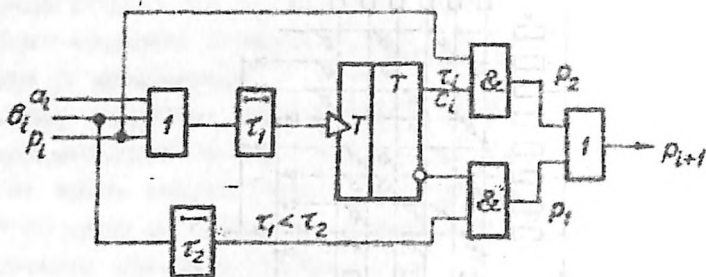
берилиши тўхта-тилса ҳам унда сақланади.

Бир хонали тўпловчи жамлагич *mod2* бўйича қўшиш амалини бажарувчи санок кириш йўлли триггер асосида қурилади (7.7-расм).  $a_i$ ,  $b_i$ ,  $p_i$  сигналлари кетма-кет берилганлиги сабабли йиғинди  $c_i$  сигнали қуйидаги кетма-



кетликда: аввал  $p_i = \overline{a_i b_i} \vee a_i \overline{b_i}$  сигнали, кейин  $c_i = q_i p_i \vee q_i \overline{p_i}$  сигнали шаклланади. Кўчириш қиймати сигнали  $p_{i+1}$  икки таркибий қисмдан ташкил топади. Биринчиси ( $p_1$ )  $a_i$  ва  $b_i$  рақамларнинг бирга тенглигида шаклланади:

$$p_1 = (\overline{a_i} b_i \vee a_i \overline{b_i}) b_i = (\overline{a_i} b_i) (a_i \overline{b_i}) b_i = (a_i \vee \overline{b_i}) (\overline{a_i} \vee b_i) b_i = a_i b_i b_i = a_i b_i$$



7.7- расм. Бир хонали тўпловчи жамлагич схемаси

Иккинчи ташкил этувчиси ( $p_2$ )  $q_i$  йиғиндининг ва  $p_i$  кўчириш қийматининг бирга тенглигида шаклланади:

$$p_2 = q_i p_i = \overline{a_i} b_i p_i \vee a_i \overline{b_i} p_i$$

Шундай қилиб,

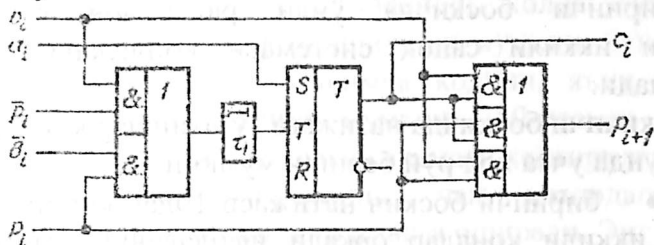
$$p_{i+1} = q_i b_i \vee \overline{a_i} b_i p_i \vee a_i \overline{b_i} p_i = a_i b_i p_i \vee a_i b_i \overline{p_i} \vee \overline{a_i} b_i p_i \vee a_i \overline{b_i} p_i,$$

яъни, кўчириш қиймати сигнали учун илгари маълум бўлган ифодани ҳосил қилдик (7.1 ифодага қаранг).

Тўпловчи жамлагичларда қўшиш амалини бажаришда қўшилувчиларнинг бири олдиндан жамлагичга қўшимча 0 ва 1 га ўрнатиш кириш йўллари орқали киритилган бўлади. Шу сабабли қўшиш амалини бажариш вақти икки тактдан иборат бўлади.

Комбинацион ва тўпловчи жамлагичларнинг афзалликлари комбинацион-тўпловчи жамлагичларда мужассамлашади. Бундай жамлагичда (7.8-расм) кўчириш

қиймати комбинацион схемада, тугал йиғинди эса санок кириш йўлига  $b_i$  ва  $p_i$  сигналларнинг  $mod 2$  бўйича жамлаш натижаси бериладиган триггерда шаклланади ( $a_i$  рақамининг сигнали триггерга олдиндан киритилган). Бу схемада қўшиш амали битта такт давомида бажарилади.



7.8-расм. Бир хонали комбинацион-тўпловчи жамлагич схемаси

4. Маълумки, инженерлик масалаларини ечишга мўлжалланган кўпгина ҳисоблаш машиналарида ўнли санок системасида ҳисоблаш билан иш кўрилади. Бу машиналарда дастурлаш, оралиқ ва тугал натижаларни индикациялаш бирмунча осонлашади. Ундан ташқари, сонларни бир санок системасидан иккинчи санок системасига ўзгартирувчи қурилмаларга эҳтиёж қолмайди.

Иккили-ўнли комбинацион жамлагични қуриш масаласини худди иккили жамлагични қуришдек ҳал этиш мумкин. Лекин иккили жамлагичда икки қийматли учта ўзгарувчининг иккита функциясини амалга ошириш талаб қилинган эди, ўнли жамлагичда эса икки қийматли тўққиз ўзгарувчининг (ҳар бир ўнли рақам учун икки қийматли тўртта ўзгарувчи ва кичик хонадан кўчириш қийматининг ўзгарувчиси) бешта функциясини амалга ошириш талаб қилинади. Чиқиш йўли функциялари  $2^9 = 512$  дан фақат 200 тасида аниқланади. Функциянинг бундай катта сонли ноаниқлиги жамлагичнинг оптимал схемасини қуришни қийинлаштиради.

Шунинг учун 8421 салмоғидаги коддан фойдаланиб, тетрадалар ёрдамида ўнли сонларни табиий позицион ифодалаш мумкинлигини ҳисобга олган ҳолда, ўнли рақамларни кўчириш масаласини қуйидагича икки босқичда ҳал этиш мумкин.

Биринчи босқичда ўнли рақамларнинг иккили қодлари иккили санок системаси қоидаларига асосан жамланади.

Иккинчи босқичда натижага тузатишлар киритилади.

Бунда учта ҳол рўй бериши мумкин:

- биринчи босқич натижаси 10дан кичик. Натижа тўртта иккили хоналар орқали ифодаланиб, катта ўнли хонага кўчириш қийматининг сигнали шаклланмайди. Натижага тузатиш киритиш талаб қилинмайди.

- биринчи босқич натижаси 10 дан 15 гача ораликда.

Масалан,

$$\begin{array}{r|l} 5 + 6 = 11 & \\ & 0101 \\ & + \\ & 0110 \\ \hline & 1011 \end{array}$$

Натижа ўнли санок системаси асосидан катта, демак, йиғиндини тўғри ўқиш учун олинган кодга тузатиш киритиш лозим, яъни кўчириш қиймати бўлган бирни кўшни катта тетрадага ёзиб, асосий тетрададан ўнни айириш керак.

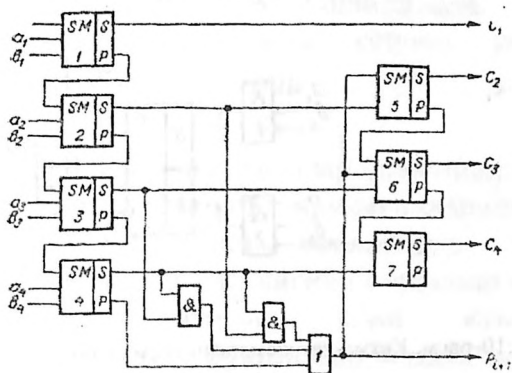
3. Биринчи босқич натижаси 16 дан 19 гача ораликда. Масалан,

$$\begin{array}{r|l} 9 + 8 = 17 & \\ & 1001 \\ & + \\ & 1000 \\ \hline & 10011 \end{array}$$

Бу ҳолда кўчириш қиймати бўлган бирни кўшни катта тетрадага ёзиш лозим. Лекин бунда асосий тетрададаги сон 10 га камайиш ўрнига бирданига 16 га камаяди. Демак, натижани тузатиш учун унга 6 ни кўшиш керак.

Шуни айтиш лозимки, иккинчи ҳолда тузатиш учинчи ҳолдагидек, амалга оширилиши мумкин, чунки 10 сонини айиришни унинг кўшимча кодиди, яъни 6 ни кўшиш билан алмаштириш мумкин. 7.9-расмда 8421 салмоқли код учун ўнли жамлагич схемаси келтирилган.

Бу ерда жамлагичларнинг чап қатордагилари кўшишнининг биринчи босқичини амалга оширади. Энг катта хонанинг чиқиш йўлида кўчириш қиймати сигналининг пайдо бўлиши биринчи босқич натижасининг 16 га тенг ёки ундан катталигини билдиради. Ундан ташқари, йиғинди 10 га тенг ёки 10 дан катта бўлганда ҳам, яъни 1010, 1011, 1100, 1101, 1110, 1111 кодлари олинганда ҳам, катта хонанинг чиқиш йўлида кўчириш қийматининг сигнали бўлиши керак. Бу кодларни аниқлаш вазифасини схемадаги конъюнкторлар бажаради. Жамлагичларнинг ўнг қаторидагилари эса тузатишлар киритиш учун хизмат қилади.



7.9-расм. Иккили-ўнли комбинацион жамлагич схемаси

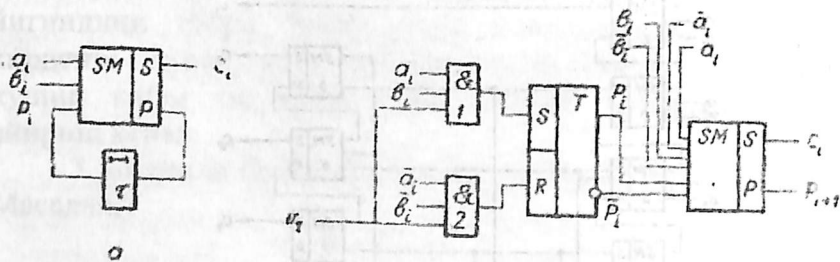
5. Кўп хонали сонларни жамлаш усули бўйича жамлагичлар кетма-кет ва параллел жамлагичларга бўлинади.

Кўп хонали кетма-кет жамлагич кўшилувчиларнинг кетма-кет кодини улар йиғиндисининг кетма-кет кодига айлантиради. Иккита кўп хонали сонларни кўшиш кичик хонадан бошланиб кетма-кет хоналар бўйича бажарилади. Кўшиш тактларининг сони кўшилувчилар хоналарининг сонига тенг бўлади. Ҳар бир  $i$ -тактда  $p_i$  ўзгарувчи сифатида олдинги тактда олинган кўчириш қиймати  $p_{i+1}$  ишлатилади. Кўчириш қийматларини ҳосил қилиш ва ишлатиш усуллари бўйича кўп хонали кетма-кет жамлагичлар икки турга - кўчириш қийматларини кечиктирувчи ва хотирлаш жамлагичларига бўлинади.

Кўчириш қийматларини кечиктирувчи жамлагичларда  $p_{i+1}$  сигнал жамлагичнинг  $p_i$  кириш йўлига кечиктириш вақти  $\tau_k$  бўлган занжир орқали берилади. Кечиктириш вақти  $\tau_k$  қуйидаги муносабатдан аниқланади:

$$\tau_k = T - \tau_{\text{жс}}$$

бу ерда  $T$  - кўшилувчилар кодларининг такрорланиш даври (бир тактнинг давомлилиги),  $\tau_{\text{жс}}$  - бир хонали жамлагич ҳосил қилган кечиктириш вақти.



7.10-расм. Кетма-кет жамлагич схемалари

7.10-расм, "а" да кечиктириш вақти махсус элемент ёрдамида амалга оширилган кўп хонали кетма-кет жамлагич схемаси берилган.

7.10-расм, "б" да кўчириш қийматларини хотирловчи кўп хонали кетма-кет жамлагичнинг схемаси берилган. Бу схемада хотирлаш вазифасини махсус триггер элементи бажаради.

Кўшилувчиларнинг тўғри ( $a_i, b_i$ ) ва тескари ( $\bar{a}_i, \bar{b}_i$ ) кодлари бир хонали комбинацион жамлагичнинг кириш йўлларига ҳамда  $I_1$  ва  $I_2$ , мантикий схемалар орқали триггернинг алоҳида кириш йўлларига берилади.

$I_2$  схеманинг чиқиш йўлида  $\bar{a}_i \bar{b}_i = 1$  сигнал бўлса, триггер "0" ҳолатига ўтади. Агар  $I_1$  схеманинг чиқиш йўлида  $a_i b_i = 1$  сигнал бўлса, триггер "1" ҳолатига ўтади.  $I_1$  ва  $I_2$  схемаларнинг кириш йўлларига тактовчи сигнал  $V_T$  берилади. Триггернинг чиқиш йўлларидан кўчириш қийматлари сигналлари  $p_i$  ва  $\bar{p}_i$  олинади ҳамда бир хонали комбинацион жамлагичнинг мос кириш йўлларига берилади, яъни кўп хонали иккили сонларни кўшиш жараёнида ( $i - 1$ )-кичик хонадан  $i$ -катта хонага кўчиш қиймати сигналени узатиш амалга оширилади.

Иккита  $n$  хонали сонни кўшиш учун талаб қилинадиган вақт куйидагига тенг:

$$t_c = nT,$$

бу ерда  $T$  - тактовчи сигналлар берилиши даври.

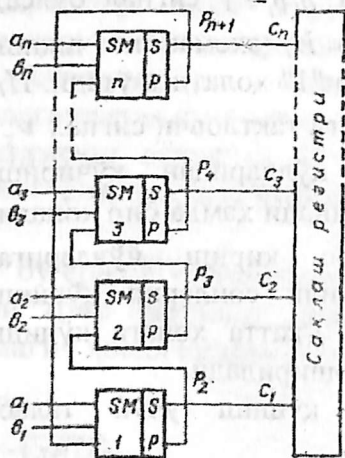
Кўп хонали кетма-кет жамлагичларнинг асосий фазилати ускуна сонининг камлигидир. Камчилиги сифатида тезкорлигининг пастлигини кўрсатиш мумкин.

Параллел жамлагичлар сони кўшилувчилар хоналарининг сонига тенг бўлган бир хонали жамлагичлар асосида курилиб, унда кўшилувчилар кодининг барча хоналари бир вақтда ишланади. Ишлатиладиган бир

хонали жамлагичларнинг хилига караб комбинацион ва тўпловчи параллел жамлагичлар фаркланади.

Жамлагичларда айириш амали манфий сонларни кўшимча ёки тескари кодда ифодалаб, кейин кўшиш йўли билан бажарилади. Сонлар тескари кодда ифодаланганда айиришнинг мусбат натижасига ҳамда манфий сонларни кўшиш натижасига тузатиш киритиш зарур.

Тузатиш энг катта хона чиқиш йўлидан энг кичик хона кириш йўлига тескари боғланишни - циклик узатиш занжирини - ташкил қилиш орқали бажарилади.



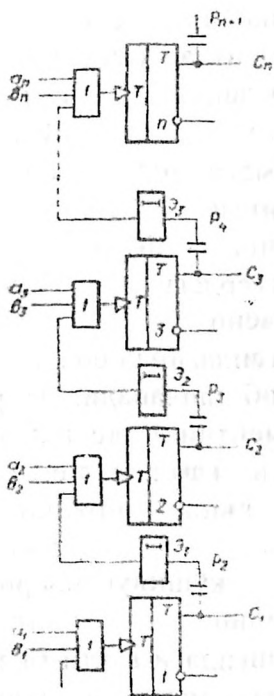
7.11-расм. Параллел комбинацион жамлагич схемаси

7.11-расмда уч кириш йўлли  $n$  та бир хонали

комбинацион жамлагичлардан тузилган параллел жамлагичнинг схемаси берилган. Кириш йўлларига кўшилувчиларнинг мос хоналари ( $a_i$  ва  $b_i$ ), олдинги (кичик) хонадан кўчириш қиймати сигнали ( $p_i$ ) берилади. Ҳар қайси бир хонали жамлагич чиқиш йўлларида хона йиғиндиси рақами коднинг сигнали ҳамда кейинги (катта) хонага кўчириш қийматининг сигнали шаклланади. Схемадан кўриниб турибдики, бирор хонада пайдо бўлган кўчириш қийматининг сигнали юқори хоналарга жам-

лагичлар орқали кетма-кет тарқалади. Агар бирлардан иборат бўлган сон билан фақат биринчи хонаси бирга тенг

бўлган сон кўшилса, биринчи хонада пайдо бўлган кўчириш қиймати сигнаlining тарқалиш занжири барча жамлагичларни ўз ичига олади.



7.12-расм. Кетма-кет кўчиришли параллел тўпловчи жамлагич

Ҳар қайси бир хонали жамлагичларда кўчириш қийматининг сигнали кириш сигналлари ( $a_i$ ,  $b_i$ ,  $p_i$ ) берилиши пайтига нисбатан  $t_p$  вақтга кечикиш билан шакллангани сабабли, иккита  $n$  хонали сонни бу жамлагичда кўшиш учун талаб қилинадиган вақт  $nt_p$  атрофида бўлади.

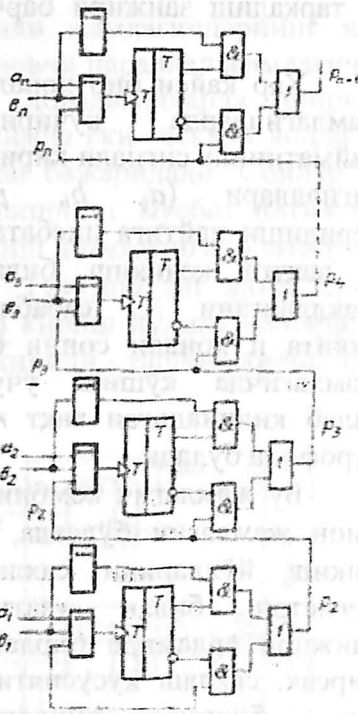
Бу жамлагич комбинацион жамлагич бўлсада,  $c_i$  чиқиш йўллариini сақлаш регистри билан узатиш занжири ёрдамида бирлаштирсак, сақлаш хусусиятига эга бўлган тўпловчи жамлагичга эга бўламиз.

7.12-расмда  $n$  та бир хонали тўпловчи жамлагичлардан тузилган параллел жамлагичнинг схемаси келтирилган. Кўшилувчи

сонлар жамлагич хона-ларининг кириш йўлларига вақт бўйича кетма-кет берилади.

Жамлагичнинг  $i$  - хонасидаги триггер "1" ҳолатдан "0" ҳолатига ўтса,  $p_i+1$  кўчириш қиймати сигнали шаклланади ва бу сигнал кўшни, катта хона триггерининг санок кириш йўлига берилади. Жамлагичнинг ишончли





7.13-расм. Бошдан-оёк кўчиришли параллел тўпловчи жамлагич схемаси

ишлашини таъминлаш мақсадида триггерлар орасидаги занжир-ларга кўчириш қиймати сигналини кечиктирувчи элементлар ( $\mathcal{E}_1, \mathcal{E}_2, \mathcal{E}_3, \dots$ ) уланган. Кечиктириш вақти кўчириш қийматининг сигнали кейинги триггернинг кириш йўлига бу триггердаги ўтиш жараёни тамом бўлгандагина бериладиган қилиб танланади. Агар  $\mathcal{E}_i$  элементнинг кечиктириш вақти жамлаш такти ( $T$ ) га, яъни биринчи ва иккинчи кўшилувчиларнинг берилиш пайтлари оралигидаги вақти-га тенг бўлса, икки  $n$  хонали сонларни жамлаш вақти асосан кўчириш қиймати сигналининг кичик хона

триггеридан катта хона триггергача тарқалиш вақти билан аниқланади. Барча хоналари бирга тенг бўлган сон билан фақат энг кичик хонаси бирга тенг бўлган сонни кўшиш керак, дейлик. Бу ҳолда кўчириш қиймати сигнали триггерлар ва кечиктириш элементлари орқали энг кичик хонадан энг катта  $n$ -хонага тарқалади.

Демак, кўрилатган жамлагичда хонадан хонага кўчириш занжири кетма-кетдир, яъни ҳар бир кейинги хонадаги кўчириш қийматининг сигнали фақат олдинги хоналарда кўчириш қийматларининг сигналлари шаклланишидан кейингина шаклланади. Бу жамлагичларда икки  $n$  хонали сонларни қўшиш вақти тахминан  $(n+1) T$  га тенг бўлади.

Тўпловчи жамлагичларда қўшиш жараёнини тезлатишни бошдан-оёқ кўчириш занжирини киритиш билан амалга ошириш мумкин.

7.13-расмда бир хонали тўпловча жамлагичлар асосида қурилган бошдан-оёқ кўчириш кўп хонали жамлагичнинг схемаси келтирилган.

Биринчи қўшилувчи коди  $(a_1, a_2, a_3, \dots, a_n)$  берилиши билан ундаги "1" сигналлар мос хоналардаги триггерларни бир ҳолатига ўтказишади. Иккинчи қўшилувчи коди  $(b_1, b_2, b_3, \dots, b_n)$  берилиши билан ундаги "1" сигналлар олдин бир ҳолатида бўлган хоналардаги триггерларни ноль ҳолатига ўтказишади ҳамда шу хоналардаги кечиктириш элементи орқали ўтиб, кўчириш қиймати сигналларини шакллантиради.

Бу схемада кўчириш қиймати сигналлари фақат И ва ИЛИ элементлари орқали ўтади ва уларнинг шаклланиши учун триггерларнинг ўз ҳолатларини ўзгартиришлари шарт эмас.

Бир хонали тўпловчи жамлагичлар асосида тузилган параллел жамлагичлар биринчи ва иккинчи бўғин ЭХМларида кенг қўлланилган эди.

Кейинги бўғин машиналарида асосан комбинацион жамлагичлар асосида тузилган тўпловчи параллел жамлагичлар ишлатилади. Бунинг сабаби шундаки, кейинги вақтларда биринчи ва иккинчи бўғин ЭХМларида ишлатилган потенциал-импульс элементлари системаси

ўрнини интеграл усулда ясалган потенциал элементлар системаси эгаллади.

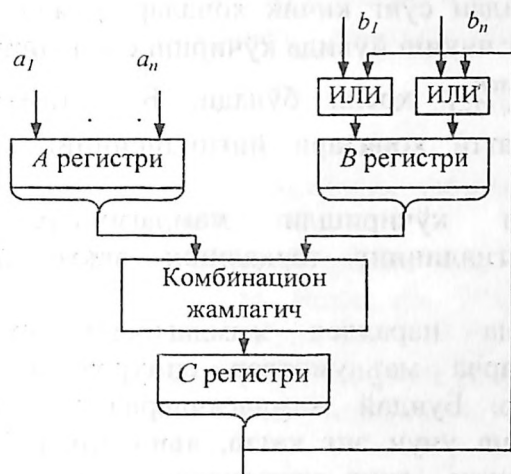
Юкорида айтиб ўтилганидек, комбинацион жамлагич асосида тўпловчи жамлагичларни тузиш хотирлаш регистрларининг ишлатилишини тақозо этади.

7.14-расмда бундай жамлагичларни ташкил қилиш схемаси келтирилган. Комбинацион схеманинг кириш йўлларига икки қўшилувчи регистрлари ( $A$  ва  $B$ ) уланган, чиқиш йўлларига эса йиғинди регистри ( $C$ ) уланган. Жамлаш натижаси иккинчи қўшилувчи регистри орқали  $A$  сонининг янги қийматлари билан жамлаш учун узатилиши мумкин, яъни бу схемада сонларни жамлаш қўшиш натижаларини сақлаш билан амалга оширилади.

Тўпловчи жамлагичларда қўшиш жараёнини тезлатишнинг яна бир усули гуруҳли кўчиришни ташкил қилишдир. Бу усулга биноан жамлагич хоналар гуруҳига ажратилиб, ҳар бир гуруҳ билан битта конъюнктор боғланган бўлади. Сон хоналари жамлангандан сўнг жамлагичларнинг триггерлар гуруҳи "1" ҳолатида бўлса, конъюнктор очилади. Бу ҳолда олдинги триггерлар гуруҳидан узатилган кўчириш қиймати сигнали бу конъюнктордан ўтади. Демак, умумий ҳолда, кўчириш қиймати сигнали  $n/m$  схемалар орқали ўтади ( $m$ -гуруҳлар сони). Бу усулнинг афзаллигини рўёбга чиқариш учун кўчириш қиймати сигналларининг триггерлар гуруҳлари орасидан ва гуруҳлар ичидан ўтиш вақтлари бир хил бўлиши шарт.

Натижани кетма-кет тўплашни талаб қилувчи амалларни (масалан, кўпайтириш ва бўлишни) бажаришда қўшишни тезлатиш учун кўчириш қиймати сигналларини хотирада сақловчи жамлагичлар ишлатилади. Бундай жамлагичлар иккита регистрдан иборат бўлиб, бирида қўшишнинг оралиқ натижаси сақланса, иккинчисида

кўчириш қиймати сақланади. Навбатдаги кўшиш бажарилганда  $i$  - хонадан узатилувчи кўчириш қиймати сигнали йиғиндининг  $(i+1)$ -хонасига кўшилмай, кўчириш қиймати регистрининг  $(i+1)$ -хонасида сақланади.



7.14-расм. Комбинацион жамлагич асосида тўпловчи жамлагичларни ташкил қилиш схемаси

Кўшишнинг ҳар бир янги босқичида  $i$ - хонада учта рақам кўшилади: йиғинди регистридаги рақам, кўчириш қиймати регистридаги рақам ва янги кўшилувчининг рақами. Шунинг учун бундай жамлагичда кўчириш қиймати сигнали битта хонадан нарига ўтмайди. Охирги натижани олиш учун йиғинди регистри ва кўчириш қиймати регистридаги сонларни оддий кўчиришли жамлагичда кўшиш лозим.

Шартли кўчиришни ташкил қилиш учун жамлагич иккита тенг қисмга бўлинади ва катта хоналарини бирлаштирувчи қисми такрорланади.

Кўшилувчиларнинг коди бир вақтнинг ўзида жамлагичнинг уччала қисмига берилади. Жамлагич кичик

хоналарида кўшиш одатдагидек амалга оширилади. Бир вақтнинг ўзида катта хоналарда кўчириш сигналларининг шартли қийматлари  $P_{n/2+1}^{uu}=0$  ва  $P_{n/2+1}^{uu}=1$  билан кўшиш амалга оширилади. Уччала регистрда жамлаш тугалланганидан сўнг кичик хоналар жамлагич кўчириш занжирининг чиқиш йўлида кўчириш сигналининг ҳақиқий қиймати  $P_{n/2+1}^{xak}$  ҳосил бўлади. Бу қиймат ёрдамида жамлагич катта хоналари йиғиндисининг коди танлаб олинади.

Шартли кўчиришли жамлагичларда кўчириш қиймати сигналининг тарқалиши вақти икки марта камаяди.

Юқорида параллел жамлагичлар бўйича баён қилинган барча маълумотлар синхрон жамлагичларга тааллуқлидир. Бундай жамлагичларда исталган иккита сонни жамлаш учун энг катта, яъни энг қийин ҳолатда керак бўладиган вақт ажратилади ва бу вақт кўпинча самарасиз ишлатилади.

Исталган иккита сонни жамлаш учун керакли вақт ажратиладиган жамлагичлар асинхрон жамлагичлар деб юритилади. Бу жамлагичларда махсус занжирлар мавжуд бўлиб, улар кўчириш қиймати сигналининг тарқалиши тугалланганлигини аниқлайди. Бу хилдаги жамлагичлар умумий ишларга мўлжалланган ЭХМларда ишлатилади. Масала ечилиши вақти қатъий белгиланган ва сон кодларига боғлиқ бўлмаган, ихтисослаштирилган ЭХМларда асинхрон жамлагичларнинг ишлатилиши ноўрин ҳисобланади.

### Назорат саволлари:

1. Жамлагич таърифи ва туркумланиши.

2. Комбинацион ва тўпловчи жамлагичларнинг бири-биридан фарқи нимада?

3. Ярим жамлагич ишлашини тушунтиринг.

4. Иккили-ўнли жамлагични қуриш қандай амалга оширилади?

5. Кўп хонали кетма-кет ва параллел жамлагичлар.

6. Тўпловчи жамлагич тезкорлигини ошириш усулларини санаб ўтинг.

### Адабиёт:

1. Угрюмов Е.П. Проектирование элементов и узлов ЭВМ – М.; Высш. шк., 1987, с.3-5.

2. Схемотехника ЭВМ. Учебник для ВУЗов под редакцией Соловьева Г.Н. – М.; Высш. шк., 1985, с.3-8.

3. Безуглов Д.А., Калиенко И.В. Цифровые устройства и микропроцессоры., Ростов-на-Дону, 2006 г.

4. Хоровиц П., Хилл У. Искусство схемотехники. Изд. 3-е, Москва, Мир, 1986 г.

5. Каган Б.М. Электронные вычислительные машины и системы. М. Энергоатомиздат, 1991.

6. Ғаниев С.К. Электрон ҳисоблаш машиналари ва системалари: Олий ўқув юрт.студ. учун дарслик.-Т.: Ўқитувчи, 1990.-2006.

## 8-майруза

### Базавий узеллар. Дешифратор, шифратор, код ўзгартгичи ва дастурланувчи мантикий матрица

Режа:

1. Дешифратор.
2. Шифратор.
3. Код ўзгартгичи.
4. Дастурланувчи мантикий матрица.

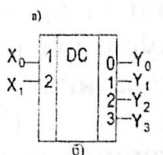
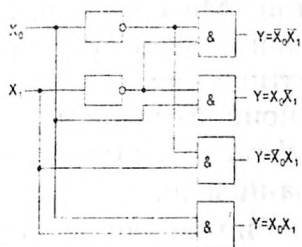
**Таянч иборалар:** дешифратор, шифратор, ахборотни ўзгартириш, код ўзгартгич, дастурланувчи мантикий матрица.

1. Дешифратор деб кириш йўлларига берилган кодни чиқиш йўлларининг бирида сигналга ўзгартирувчи бирнеча кириш ва чиқиш йўлларига эга бўлган комбинацион схемага айтилади. " $n$ " кириш йўлли дешифратор  $2^n$  чиқиш йўлига эга бўлса, бундай дешифратор тўлиқ ҳисобланади. Агар чиқиш йўли сони  $2^n$ дан кичик бўлса дешифратор тўлиқ ҳисобланмайди.

8.1-расмда тўртта чиқиш йўлли дешифраторнинг мантикий схемаси келтирилган. Дешифраторнинг ишлаши 8.1-жадвал орқали тавсифланади.

8.1-жадвал

Кириш сигналлари		Чиқиш сигналлар			
$X_1$	$X_0$	$Y_0$	$Y_1$	$Y_2$	$Y_3$
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1



8.1-расм. Тўртта чиқиш йўлли дешифраторнинг схемаси ва шартли белгиланиши

8 чикиш йўлли (кириш йўли кодининг 3та хонаси), 16 чикиш йўлли (кириш йўли кодининг 4та хонаси), тўлиқ бўлмаган иккили-ўнли дешифраторлар ишлаб чиқарилади. Улар мос ҳолда 2-4, 3-8, 4-16, 4-10 деб белгиланади.

Дешифраторлар хажми, каналлари сони ҳамда чиқиш йўли кодининг формати бўйича фарқланади. Дешифратор чиқиш йўли ўзгарувчилари қуйидаги мантиқий ифода орқали тавсифланади:

$$Y_0 = \overline{x_3} \overline{x_4} x_2 x_1; \quad Y_3 = \overline{x_8} \overline{x_4} x_2 x_1;$$

$$Y_1 = \overline{x_8} x_4 x_2 x_1; \quad Y_6 = \overline{x_8} x_4 x_2 \overline{x_1};$$

$$Y_2 = \overline{x_8} x_4 x_2 \overline{x_1}; \quad Y_7 = \overline{x_8} x_4 x_2 x_1;$$

$$Y_3 = \overline{x_8} x_4 x_2 x_1; \quad Y_8 = \overline{x_8} x_4 x_2 x_1;$$

$$Y_4 = \overline{x_8} x_4 x_2 x_1; \quad Y_9 = \overline{x_8} x_4 x_2 x_1.$$

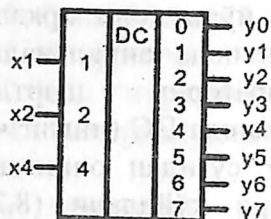
Инверс чиқиш йўлли дешифраторларни ёруғлик диоддаги индикаторларда қўллаш қулай ҳисобланади.

Дешифраторнинг фақат битта чиқиш йўли фаол ҳисобланади ва бу чиқиш йўлининг номери кириш йўли коди орқали бир маънода аниқланади. Дешифраторни шартли бел-гилашда DC (инглизча *decoder* сўзидан олинган) харфлари қўйилади (8.2-расм). Дешифратор кириш йўллари 1248 иккили салмоқ билан белгиланади.

Одатда 4 чиқиш йўлли (кириш йўли кодининг 2та хонаси), 8



Бундай дешифраторнинг тузилмаси ва шартли белгиланиши 8.3-расмда келтирилган. Мисол тарикасида 8.3-расм "б"да ёруғлик диоднинг дешифраторнинг тўртинчи чиқиш йўлига уланиши келтирилган.



8.2-расм. Дешифраторнинг шартли белгиланиши

Кириш йўллари *парафаз* ва *бир фазали* дешифраторлар фойдаланилади. Кириш йўллари бир фазали дешифраторларда линиялар сони камаяди ва қўшимча инверторларни ишлатишга хожат қолмайди.

Натижада боғланиш линиялар узунлиги

юктамаси йўқотилади. Бу эса ўз навбатида тезкорликни ошишига олиб келади.

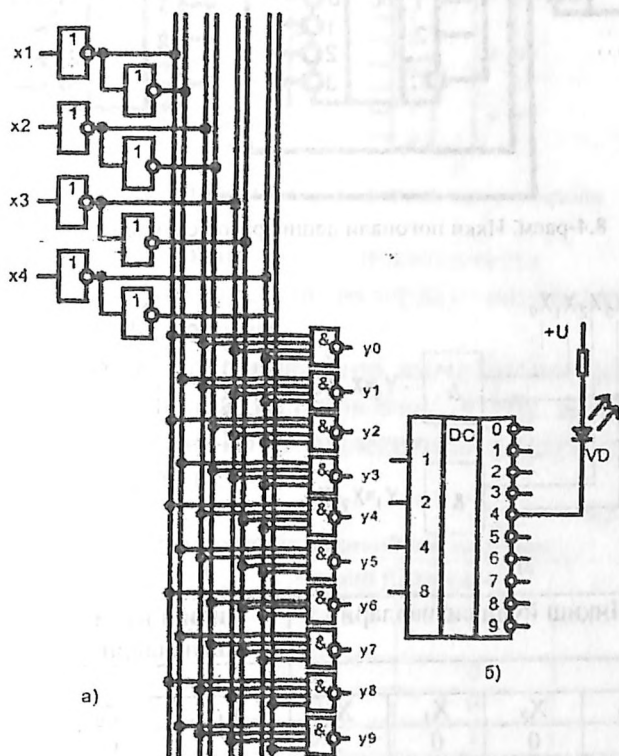
Одатда кириш йўллари тўрттадан кўп бўлган дешифраторлар ишлаб чиқарилмайди. Чиқиш йўллари сонини кўпайтиришга хоналикни ошириш йўли билан эришилади (8.4-расм).

Биринчи поғона дешифраторининг чиқиш йўллари иккинчи поғона дешифраторларининг С кириш йўлларига уланади. Иккинчи поғона дешифраторларидан фақат битта дешифраторнинг битта чиқиш йўли фаол бўлади, холос. Иккинчи поғонада 3-8 дешифраторлар ишлатилса 32 чиқиш йўлли дешифратор ҳосил бўлади.

Дешифраторлар асосида кодларни ўзгартирувчи турли схемалар – мультиплексорлар, демультитиплексорлар, ихтиёрий мантикий функция ларни шакллантиргичлари, турли индикация схемалар ва х қурилиши мумкин.

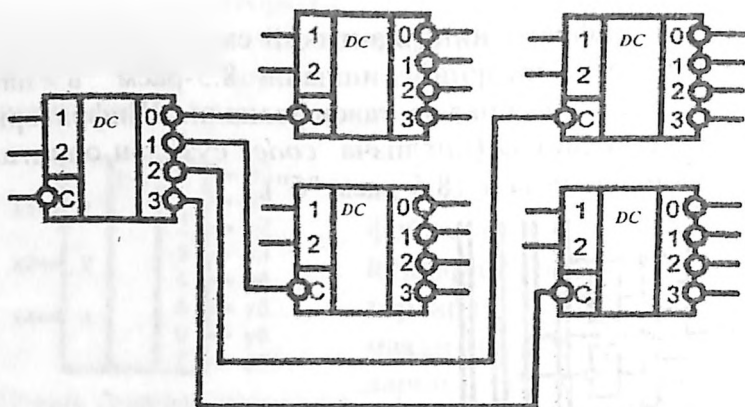
2. Шифратор деб кириш йўллариининг фақат биттасига берилган сигнални чиқиш йўлида параллел иккили кодга ўзгартирувчи бирнеча кириш ва чиқиш йўлларига эга бўлган комби-национ схемага айтилади. Икки

чиқиш йўлли шифраторнинг мантикий схемаси 8.5-расмда кел-тирилган. Шифраторнинг ишлаши 8.5-расм "в" даги ҳақиқийлик жадвали орқали тавсифланади. Шифраторни шартли белгилашда CD (инглизча *coder* сўзидан олинган) харфидан фойдаланилади (8.5-расм "б").

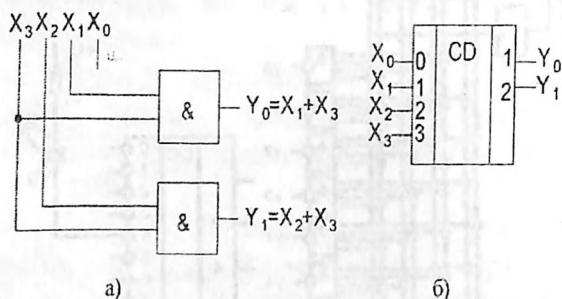


8.3-расм. Инверс йўлли дешифратор схемаси ва шартли белгиланиши

Тўлиқ шифратор  $2^n$  кириш йўлига ва  $n$  чиқиш йўлига эга бўлади (8.6-расм "а").



8.4-расм. Икки поғонали дешифратор схемаси



а)

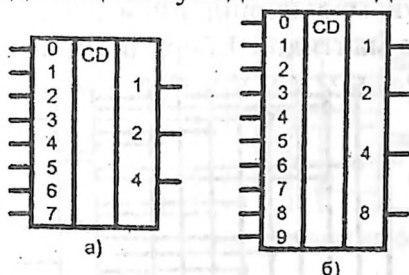
б)

Чиқиш йўли сигналлари				Кириш йўли сигналлари	
$X_3$	$X_2$	$X_1$	$X_0$	$Y_1$	$Y_0$
0	0	0	1	0	0
0	0	1	0	0	1
0	1	0	0	1	0
1	0	0	0	1	1

8.5-расм. Шифраторнинг схемаси (а), шартли белгиланиши (б), хақиқийлик жадвали (в)

Шифратор ўнли сонларни иккили сонларга ўзгартиришда ҳам ишлатилади. Масалан, 8.6-расм "б"даги шифраторнинг 10та кириш йўлининг бири кўзгатилса,

унинг чиқиш йўлида қўзғатилган кириш йўли номерига мос иккили код шаклланади. Масалан,  $x_9$  кириш йўлига сигнал берилганда чиқиш йўлида 1001 коди пайдо бўлади.



8.6-расм. Шифраторларнинг шартли белгиланиши

Шифраторларнинг ишлатилиши рақамли курилмаларда (узатиш линияларда) сигналлар сонини камайишига олиб келади.

8.6-расм "б" даги шифратор ишлашининг ҳақиқийлик жадвали 8.2-жадвалда келтирилган. Ушбу жадвалга 8.7-расмда келтирилган ИЛИ элементида амалга оширилган шифратор мос келади.

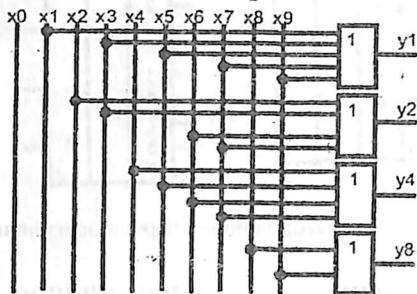
8.2-жадвал

Шифраторнинг ҳақиқийлик жадвали

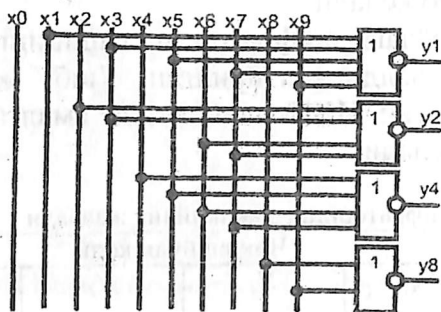
Кириш йўли номери	Чиқиш йўли коди			
	$Y_8$	$Y_4$	$Y_2$	$Y_1$
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

Агар шифратор ИЛИ-НЕ элементларда курилса чиқиш йўллари инверсли бўлади (8.8-расм). И-НЕ элемент-

ларида қурилган шифраторлар кириш йўлларига инверс қийматларни бериш лозим, яъни шифратор чиқиш йўлида маълум кириш йўлини (ўнли рақамни) ифодаловчи иккили сонни олиш учун мос кириш йўлига мантикий 0, қолган кириш йўлларига мантикий 1 берилиши лозим (8.9-расм).



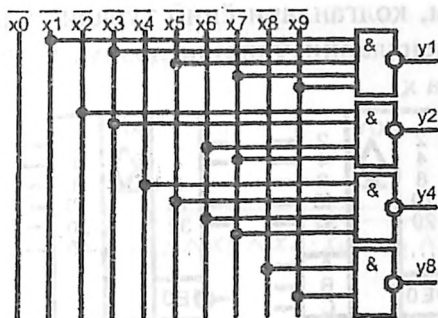
8.7-расм. ИЛИ элементларида қурилган шифратор схемаси



8.8-расм. ИЛИ-НЕ элементларида қурилган шифратор схемаси

Шифраторларда ахборот кириш йўлларида ташқари кириш ва чиқаришга рухсат берувчи ҳамда шифраторларни кенгайтирувчи қўшимча кириш йўллари мавжуд.

3. Рақамли қурилмаларда кўпинча ахборотни бир санок тизимдан иккинчисига ҳамда бир иккили коддан иккинчисига ўзгартиришга тўғри келади.



8.9-расм. И-НЕ элементларида қурилган шифратор схемаси

Ахборотни бир коддан иккинчисига ўзгартириш код ўзгартгичлари деб аталувчи комбинацион қурилмаларда амалга оширилади. 8.10-расм "а", "б"да мос ҳолда, иккилик-ўнлик кодни иккилик коди ва иккилик кодни иккилик-ўнлик кодга ўзгартгичларнинг шартли белгиланиши келтирилган.

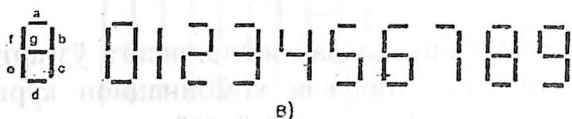
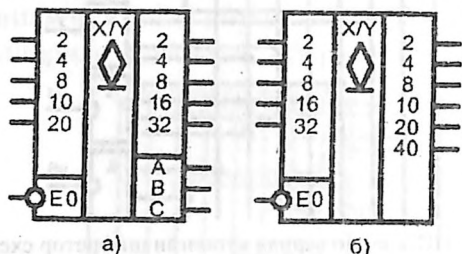
Код ўзгартгичларини лойihalашда қуйидаги иккита усулдан фойдаланилади:

- дастлабки иккилик кодни ўнлик кодга ўзгартириш, сўнгра ўнлик ифодани исталган кодга ўзгартириш;
- комбинацион ҳилдаги мантикий қурилмадан фойдаланиб бевосита ўзгартиришни амалга ошириш.

Биринчи усул бўйича дешифратор ва шифратор кетма-кет уланади. Таъкидлаш лозимки, шифратор ва дешифратор код ўзгартгичларининг хусусий холи ҳисобланади.

Иккинчи усул бўйича ҳақиқийлик жадвали тузилиб, кириш йўлларига бериладиган ва чиқиш йўлларида олинадиган комбинациялар ўртасида бир маъноли мослик ўрнатилади. Сўнгра берилган базисда мантикий комбинацион қурилма синтезланади. Ушбу усулга мисол тариқасида етти сегментли ёруғлик диод ёки суюқ кристалл индикаторни бошқаришни кўрайлик (8.10-расм "в"). Бундай индикаторларда 0 рақами учун g сегментни

Ўчириш лозим, қолганлари ёниб туради. 1 рақами учун a, d, e, f, g сегментларни ўчириш лозим, b ва c сегментлар ёниб туради ва х.



8.10-расм. Иккили-ўнли кодни иккили кодга ўзгартиргич (а), иккили кодни иккили-ўнли кодга ўзгартиргич (б) белгиланиши ва етти сегментли код (в)

Ушбу код ўзгартириш учун ҳақиқийлик жадвали 8.3-жадвалда келтирилган.

8.3-жадвал

Ўнли кодни етти сегментли кодга ўзгартириш жадвали

Ўнли рақам	8421 коди				Сегментлар ҳолати						
	X4	X3	X2	X1	a	b	c	d	e	f	g
0	0	0	0	0	0	0	0	0	0	0	1
1	0	0	0	1	1	0	0	1	1	1	1
2	0	0	1	0	0	0	1	0	0	1	0
3	0	0	1	1	0	0	0	0	1	1	0
4	0	1	0	0	1	0	0	1	1	0	0
5	0	1	0	1	0	1	0	0	1	0	0
6	0	1	1	0	0	1	0	0	0	0	0
7	0	1	1	1	0	0	0	1	1	1	1
8	1	0	0	0	0	0	0	0	0	0	0
9	1	0	0	1	0	0	0	0	1	0	0

Синтезланаётган комбинацион қурилма тўртта кириш йўлига ва еттита чиқиш йўлига эга, шу сабабли еттита чиқиш йўлининг ҳар бири учун қуйидаги ифодани оламиз:

$$a = \overline{\overline{x_1 \wedge x_2 \wedge x_3} \cdot \overline{x_1 \wedge x_2 \wedge x_3 \wedge x_4}};$$

$$b = \overline{\overline{x_1 \wedge x_2 \wedge x_3} \cdot \overline{x_1 \wedge x_2 \wedge x_3}};$$

$$c = \overline{x_1 \wedge x_2 \wedge x_3};$$

$$d = \overline{\overline{x_1 \wedge x_2 \wedge x_3} \cdot \overline{x_1 \wedge x_2 \wedge x_3 \wedge x_4} \cdot \overline{x_1 \wedge x_2 \wedge x_3}};$$

$$e = \overline{x_1 \wedge x_2 \wedge x_3} \cdot x_1;$$

$$f = \overline{\overline{x_1 \wedge x_2 \wedge x_3 x_4} \cdot \overline{x_1 \wedge x_2 \wedge x_3} \cdot \overline{x_1 \wedge x_3}};$$

$$g = \overline{\overline{x_1 \wedge x_2 \wedge x_3} \cdot \overline{x_2 \wedge x_3 \wedge x_4}}.$$

Ушбу ифода бўйича иккили кодни етти сегментли кодга ўзгартгич схемасини куриш қийинчилик туғдирмайди.

4. Компьютер схемаларини яратишдаги истиқболли усуллардан бири катта интеграл схемалар (БИС) технологиясини қўллашдир. Бу усул схемаларнинг массалари, габаритлари ва қийматларини камайтириш билан бирга, ишончилигини анча оширишга имкон беради. БИСларнинг нархи ишлаб чиқаришнинг сериялилиги даражасига кўп жиҳатдан боғлиқ. Ишлаб чиқаришнинг сериялилиги даражаси ўз навбатида белгиланган тузилмали схемалар бажара оладиган вазифалар кўлами билан белгиланувчи БИСларнинг универсаллигига боғлиқ. БИСлар асосида Буль функцияларининг ҳар хил тизимларини амалга ошириш учун, яъни ҳар хил комбинацион схемаларни куриш учун махсус мунтазам тузилмалардан - *дастуруланувчи матрицалар* (ДММ)дан фойдаланилади. Оддий



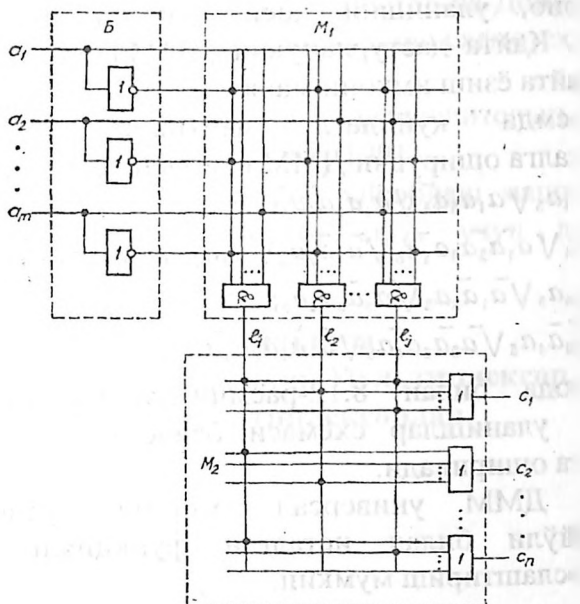
холда ДММ (8.11-расм) уч қисмдан, яъни кириш йўли ўзгарувчиларининг парафаз кийматларини шакллантирувчи буфер ( $B$ ), кириш йўли ўзгарувчиларининг конъюнкциясини шакллантирувчи И мантикий матрица ( $M_1$ ) ва кириш йўли ўзгарувчилари конъюнкцияларининг дизъюнкциясини шакллантирувчи ИЛИ мантикий матрица ( $M_2$ )дан иборат бўлади.

$a_i$  кириш йўли сигналларининг  $2m$  кириш йўли шиналарига берилиб,  $m$  кириш йўлли  $l$  та И мантикий элементлари ёрдамида  $l$  чиқиш йўли сигналлари ҳосил қилинади. Бу сигналлар  $l$  кириш йўлли ИЛИ мантикий элементларининг кириш йўли сигналлари ҳисобланади. Ҳаммаси бўлиб ДММ да  $l$ -та И мантикий элемент ва  $n$ -та ИЛИ мантикий элемент мавжуд, яъни ДММда  $m$  хонали кириш йўли кодини  $n$  хонали чиқиш йўли кодига ўзгартириш вазифаси бажарилади.

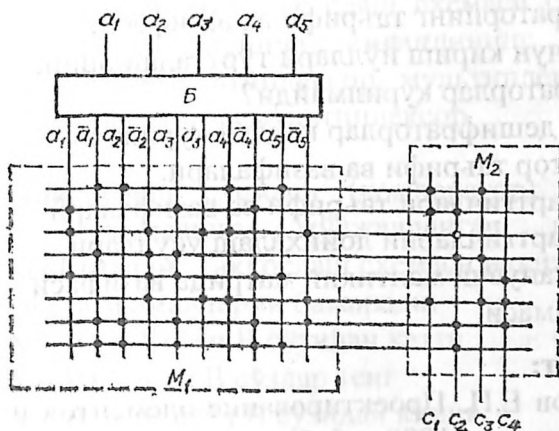
ДММ сигналларнинг бир томонлама, яъни  $M_1$  матрицада исталган вертикал занжирдан горизонтал занжирга,  $M_2$  матрицада эса исталган горизонтал занжирдан вертикал занжирга узатилишини таъминловчи электр элементларининг тўлиқ тўплами ёрдамида курилади. Бундай уланишлар диод ёки транзисторлар орқали амалга оширилади (расмда бу уланишлар нуқталар ёрдамида кўрсатилган). Ахборотни ДММга матрицаларнинг горизонтал ва вертикал занжирлари орасида боғланиш ўрнатиш йўли билан киритилади. Бу жараён *матрицаларни дастурлаш* деб юритилади.

Дастурлаш усули бўйича маскали ва электр дастурланувчи ҳамда қайта дастурланувчи ДММлар фарқланади. Маскали дастурланувчи ДММда ахборот киритиш матрица занжирларига диодлар ёки транзисторларни улаш йўли билан бажарилади. Бунинг

учун матрицаларнинг мос қисмлари маска (шаблон) орқали металлштирилади.



8.11- расм. Дастурланувчи мантикий матрица схемаси



8.12- расм. Дастурланувчи мантикий матрица схемаси

Электр дастурланувчи ДММга ахборотни ёзиш махсус ускуна ёрдамида кашакларни куйдириш ёки матрицанинг мос занжирига катта амплитудали импульс токини бериб, уланишни ҳосил қилиш йўли билан бажарилади. Қайта дастурланувчи ДММларда ахборотни кўп марта қайта ёзиш имкони мавжуд.

8.12-расмда куйидаги мантиқий тенгламалар тизимини амалга оширувчи ДММ схемаси келтирилган:

$$c_1 = \bar{a}_1 a_2 a_4 a_5 \vee a_1 a_3 \bar{a}_4 \vee \bar{a}_1 a_2 a_4 \bar{a}_5;$$

$$c_2 = a_1 a_3 \bar{a}_4 \vee a_1 \bar{a}_2 a_3 a_4 \bar{a}_5 \vee \bar{a}_1 \bar{a}_2 a_3 \vee \bar{a}_1 a_2 a_3 \bar{a}_4 \bar{a}_5 \vee a_1 a_2 a_3 \bar{a}_4 a_5;$$

$$c_3 = \bar{a}_1 a_2 a_4 a_5 \vee \bar{a}_1 \bar{a}_2 a_3 \vee \bar{a}_2 \bar{a}_3 a_4 \bar{a}_5;$$

$$c_4 = a_1 \bar{a}_2 \bar{a}_3 \bar{a}_4 a_5 \vee \bar{a}_2 \bar{a}_3 a_4 \bar{a}_5 \vee \bar{a}_1 a_2 a_3 \bar{a}_4 \bar{a}_5.$$

Бу ифода билан 8.12-расмни таққослаш шунини кўрсатадики, уланишлар схемаси бевосита тенгламалар бўйича амалга оширилади.

Демак, ДММ универсал тузилма бўлиб, уни дастурлаш йўли билан исталган функцияни амалга оширишга мослаштириш мумкин.

### Назорат саволлари:

1. Дешифраторнинг таърифи ва вазифаси.
2. Нима учун кириш йўллари тўрттадан ошиқ дешифраторлар қурилмайди?
3. Поғона дешифраторлар қандай қурилади?
4. Шифратор таърифи ва вазифалари.
5. Код ўзгартгичлари таърифи ва вазифалари.
6. Код ўзгартгичларни лойиҳалаш усуллари.
7. Дастурланувчи мантиқий матрица вазифаси ва тузилмаси.

### Адабиёт:

1. Угрюмов Е.П. Проектирование элементов и узлов ЭВМ – М.; Высш. шк., 1987, с.3-5.

2. Схемотехника ЭВМ. Учебник для ВУЗов под редакцией Соловьева Г.Н. – М.; Высш. шк., 1985, с.3-8.
3. Безуглов Д.А., Калиенко И.В. Цифровые устройства и микропроцессоры., Ростов-на-Дону, 2006 г.
4. Хоровиц П., Хилл У. Искусство схемотехники. Изд. 3-е, Москва, Мир, 1986 г.
5. Каган Б.М. Электронные вычислительные машины: и системы. М. Энергоатомиздат, 1991.
6. Ганиев С.К. Электрон хисоблаш машиналари ва системалари: Олий ўқув юрт.студ. учун дарслик.-Т.: Ўқитувчи, 1990.-2006.

### 9-март

## Таққослаш схемалари. Мультиплексорлар. Демультимплексорлар

Режа:

1. Таққослаш схемалари.
2. Мультиплексорлар.
3. Демультимплексорлар.

**Таянч иборалар:** таққослаш схемаси (компаратор), иккиннинг модули бўйича йиғиндининг инверсияси, мультиплексор, демультимплексор, мультиплексор дарахти сатҳлари, дешифратор-демультимплексор.

1. Таққослаш схемаси (компаратор) деб иккили сўзларни таққослашга мўлжалланган комбинацион қурилмага айтилади. Таққослаш схемаси иккита иккили сўз устида қуйидаги амалларни бажаради:

$F(A > B)$  –  $A$  сўзи  $B$  сўзидан катта

$F(A = B)$  –  $A$  ва  $B$  сўзлар тенг

$F(A < B)$  –  $A$  сўзи  $B$  сўзидан кичик.

Битта икки хонани таққослашни кўрайлик. Ушбу амалнинг ҳақиқийлик жадвали 9.1-жадвалда келтирилган. Жадвалдан кўришиб турибдики кириш йўли сигналларининг ҳар қандай комбинациясида таққослаш схеманинг чиқиш йўлида фақат битта фаол мантикий сигнал шаклланади.

9.1-жадвал

Бир хонали сўзларни таққослаш схемасининг ҳақиқийлик жадвали

$A$	$B$	$F(A=B)$	$F(A>B)$	$F(A<B)$
0	0	1	0	0
0	1	0	0	1
1	0	0	1	0
1	1	1	0	0

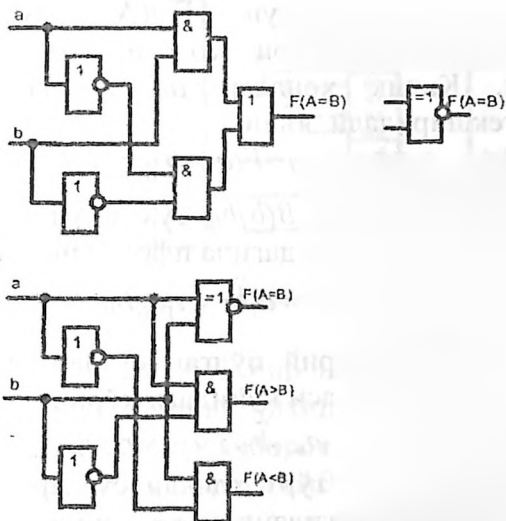
9.1-жадвалга қуйидаги мантикий ифодалар тизими мос келади:

$$F(A = B) = ab \vee \bar{a}\bar{b};$$

$$F(A > B) = a\bar{b};$$

$$F(A < B) = \bar{a}b.$$

$F(A = B)$  функциясига эътибор берайлик. Бу функция иккининг модули бўйича йигиндининг инверсияси (исключаящее ИЛИ-НЕ) деб аталади ва рақамли қурилмалар амалиётида кенг қўлланилади. Ушбу функциянинг ишлатилиши юқоридаги мантикий ифодалар бўйича  $F(A=B)$ ,  $F(A>B)$ ,  $F(A<B)$  функцияларни амалга оширишни енгиллаштиради. 9.1-расмда бир хона учун ушбу функцияларни амалга оширувчи таққослаш схемаси келтирилган.



9.1-расм. Такқослаш схемаси

Таъкидлаш лозимки, юқорида келтирилган учта функциядан иккитаси ҳеч қачон бир вақтда бирлик қийматига эга бўлмайди. Шунинг учун улардан иккитасини амалга ошириш мумкин. Учинчиси эса иккита маълум функция бўйича аниқланади. Улар қуйидаги муносабатлар орқали бир-бири билан боғланган:

$$F(A = B) = \overline{F(A > B)} \cdot \overline{F(A < B)};$$

$$F(A > B) = \overline{F(A = B)} \cdot \overline{F(A < B)};$$

$$F(A < B) = \overline{F(A = B)} \cdot \overline{F(A > B)}.$$

Иккита сўз тенглиги деганда уларнинг ҳар бир хоналарининг тенглиги тушунилади.  $F(A > B)$  функцияси амалга оширилганида катта хоналари устиворликка эга бўлади. Кичик хоналар катта хоналар тенглигида текширилади. Сўзларнинг  $i$ -нчи хоналарининг тенглигини  $r_i = F(a_i = b_i)$  орқали белгилаймиз.

Икки хонали сўз учун  $F(A > B)$  функцияни текшириш катта хоналари  $a_1, b_1$  ни текширишга келтирилади. Кичик хоналар  $a_0, b_0$  катта хоналар тенглигида текширилади, яъни:

$$a_1 = b_1 \rightarrow r_1 = F(a_1 = b_1) = 1.$$

Икки хонали  $A(a_1 a_0), B(b_1 b_0)$  сўзлар учун  $F(A > B)$  ни текшириш формуласи қуйидагича ифодаланади:

$$F(A > B) = a_1 \bar{b}_1 \vee r_1 a_0 \bar{b}_0$$

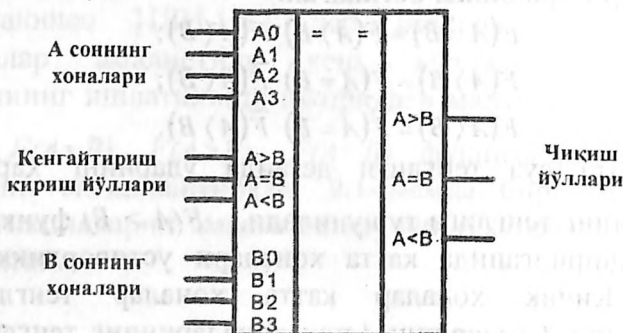
Хоналилиги ихтиёрий бўлган сўзлар учун  $F(A > B)$  ни текшириш формуласи қуйидаги кўринишга эга

$$F(A > B) = a_{n-1} \bar{b}_{n-1} \vee r_{n-1} a_{n-2} \bar{b}_{n-2} \vee \dots \vee r_{n-1} r_{n-2} r_{n-3} \dots r_1 a_0 \bar{b}_0$$

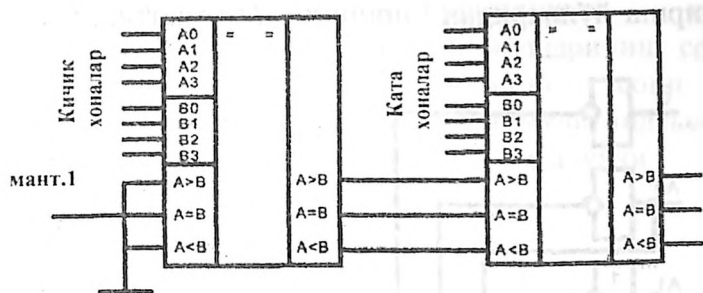
9.2-расмда иккита тўрт хонали сўзларни таққослаш схемасининг шартли белгиланиши келтирилган.

Хоналилиги катта сонларни таққослаш бир неча таққослаш схемаларини кетма-кет улаш орқали амалга оширилади (9.3-расм),

Таъкидлаш лозимки  $n$  та таққослаш схемаси кетма-кет уланганда сигнал кечикиши  $n$  марта ошади. Умуман кодларни таққослаш схемаларнинг тезкорлиги паст.



9.2-расм. Таққослаш схемасининг шартли белгиланиши



9.3-расм. Таккослаш схемаларини бир-бирига улаш

2. Мультиплексор деб бир неча кириш йўлларида бирини танлаб уни ўзининг чиқиш йўлига уловчи узелга айтилади. Мультиплексор ахборот кириш йўлларида ( $D_0, D_1, \dots$ ), адрес кириш йўлларида ( $A_0, A_1, \dots$ ), рухсат сигнали бериладиган кириш йўлига ( $C$ ) ва битта чиқиш йўлига ( $Q$ ) эга.

$C$  кириш йўлига рухсат сигнали келиши билан мультиплексор адреси адрес кириш йўллари  $A_i$  да икки код орқали берилган  $D_i$  кириш йўлларида бирини танлайди ва уни чиқиш йўли  $Q$  га улайди. Ахборот кириш йўллари сони ва адрес кириш йўллари сони ўзаро қуйидаги муносабатда боғланган:

$$n_{\text{ахб}} = 2^{n_{\text{адр}}}$$

(9.1)

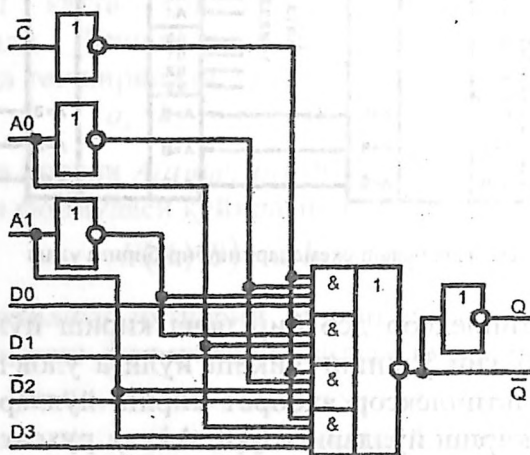
Мультиплексор инверторлар ва И-ИЛИ, И-ИЛИ-НЕ хилидаги схемалар асосидаги икки поғонали қуролма ҳисобланади (9.4-расм).

Умумий ҳолда мультиплексор ишлаши 9.2-жадвал орқали тавсифланади.

Рухсат сигнали берилмаганида ( $C = 0$ ) ахборот кириш йўллари билан чиқиш йўли ўртасида боғланиш бўлмайди ( $Q = 0$ ). Рухсат сигнали берилганида ( $C = 1$ ) чиқиш йўлига номери адрес кириш йўлларида иккили шаклда берилган



ахборот кириш йўлларида бирининг ( $D_i$ ) мантикий сатҳи узатилади.



9.4.-расм. Мультиплексор схемаси

9.2-жадвал

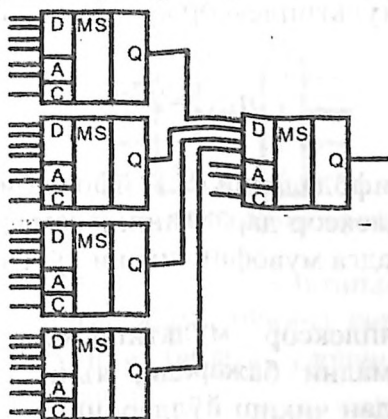
Мультиплексорнинг хақиқийлик жадвали

Адрес кириш йўллари		Рухсат сигнали	Чиқиш йўллари
$A_1$	$A_0$	$C$	$Q$
X	X	0	0
0	0	1	$D_0$
0	1	1	$D_1$
1	0	1	$D_2$
1	1	1	$D_3$

Масалан,  $A_1 A_0 = 11_2 = 3_{10}$  берилганида чиқиш йўлига  $3_{10}$  адресли ахборот кириш йўли, яъни  $D_3$  сигнали узатилади.

Чиқиш йўлларида кўп хонали кириш йўли маълумотларини параллел узатиш талаб этилганида узатилаётган маълумотлар хоналигига тенг мультиплексорларни параллел улаш лозим.

Интеграл схема кўринишида қурилган мультимплексорнинг ахборот кириш йўлларининг сони 16га тенг. Агар кириш йўлларининг сони катта мультимплексорларга эҳтиёж туғилса мультимплексорларни мультимплексор дарахти деб аталувчи схемага бирлаштириш мумкин (9.5-расм).



9.6.-расм. Мультимплексор дарахти

Схема тўртта биринчи сатҳ мультимплексори ва битта иккинчи сатҳ мультимплексоридан иборат. Мультимплексор тўртликларга ажратилган 16 кириш йўлига эга ва ҳар бир тўртлик биринчи сатҳнинг алоҳида мультимплексорига уланган. Иккинчи сатҳ мультимплексори схеманинг умумий чиқиш йўлига биринчи сатҳнинг алоҳида мультимплексорининг чиқиш йўлини улаб, тўртта кириш йўлини узиб-улайди.

Бундай схема бўйича саккиз кириш йўлли мультимплексорлардан фойдаланиб, 64 кириш йўлли мультимплексор дарахтини қуриш мумкин.

Мультимплексор дарахтининг биринчи ва иккинчи сатҳида кириш йўллари сони ҳар хил мультимплексорлар ишлатилиши мумкин. Бундай дарахтнинг биринчи сатҳида

адрес ўзгарувчилари сони  $n_{адр1}$  бўлган, иккинчи сатҳда эса  $n_{адр2}$  бўлган мультимплексорлар ишлатилса мультимплексор дарахти чиқиш йўлларининг сони қуйидагича аниқланади:

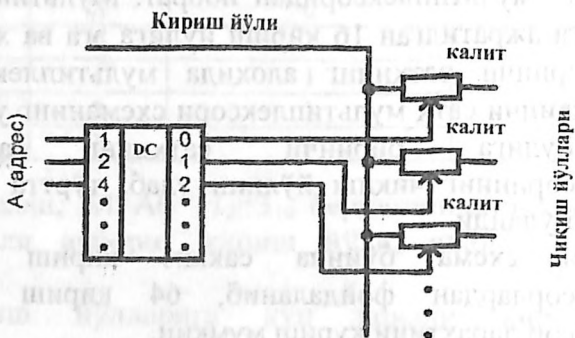
$$n_{ахб} = 2^{n_{адр1} + n_{адр2}} \quad (9.2)$$

схемадаги мультимплексорлар сони эса қуйидагича аниқланади:

$$n_{MS} = 2^{n_{адр2} + 1} \quad (9.3)$$

(9.2) ва (9.3) ифодаларни (9.1) ифода билан таққослаш натижаси мультимплексор дарахтининг самарадорлигини ва қурилманинг мақсадга мувофиқлигини кўрсатади.

3. Демультимплексор мультимплексор бажарадиган амалга тескари амални бажаради, яъни маълумотларни битта кириш йўлидан чиқиш йўлларининг бирига узатади. 9.6-расмда демультимплексор схемаси келтирилган бўлиб унда чиқиш йўллари калитларни бошқарувчи дешифратор мавжуд.

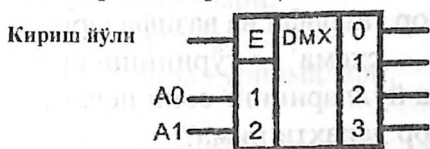


9.6.-расм. Демультимплексор схемаси

Адрес кириш йўлларига берилган чиқиш йўли занжири номерини белгиловчи код комбинациясига боғлиқ

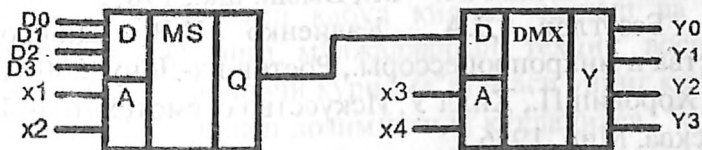
холда дешифратор мос калитни очади ва демультимплексорнинг кириш йўли маълум чиқиш йўлига уланади.

Англаш қийин эмаски, рухсат кириш йўлига (E) эга бўлган дешифратор демультимплексор каби ишлайди (9.7-расм). Бундай дешифратор кўпинча дешифратор-демультимплексор деб юритилади.



9-7.-расм. Рухсат кириш йўлли дешифратор

Мультимплексорни демультимплексор билан бирлаштириб берилган адрес бўйича кириш йўллариининг бирини чиқиш йўлини бирига уловчи қурилма ҳосил қилиш мумкин (9.8-расм).



9.8.-расм. Мультимплексорни демультимплексор билан улаш схемаси

Шундай қилиб, кириш йўллари билан чиқиш йўллари уланишининг ҳар қандай комбинациясига эришиш мумкин. Масалан, адрес ўзгарувчилари қийматларининг  $x1=1$ ,  $x2=0$ ,  $x3=0$ ,  $x4=0$  комбинациясида D2 кириш йўли Y0 чиқиш йўлига уланган бўлади.

Агар чиқиш йўллари сони катта демультимплексорга эҳтиёж туғилса, демультимплексор дарахти қурилиши мумкин.

### **Назорат саволлари:**

1. Таққослаш схемасининг (компараторнинг) таърифи ва вазифалари.
2. Иккита сўзнинг тенглиги деганда нима тушунилади?
3. Хоналилиги катта сонларни таққослаш қандай амалга оширилади?
4. Мультиплексор таърифи ва вазифалари.
5. Интеграл — схема кўринишида қурилган мультиплексор кириш йўлларининг сони нечага тенг?
6. Мультиплексор дарахти нима?
7. Демумультиплексорнинг таърифи ва вазифалари.

### **Адабиёт:**

1. Угрюмов Е.П. Проектирование элементов и узлов ЭВМ – М.; Высш. шк., 1987, с.3-5.
2. Схемотехника ЭВМ. Учебник для ВУЗов под редакцией Соловьева Г.Н. – М.; Высш. шк., 1985, с.3-8.
3. Безуглов Д.А., Калиенко И.В. Цифровые устройства и микропроцессоры., Ростов-на-Дону, 2006 г.
4. Хоровиц П., Хилл У. Искусство схемотехники. Изд. 3-е, Москва, Мир, 1986 г.
5. Каган Б.М. Электронные вычислительные машины и системы. М. Энергоатомиздат, 1991.
6. Ғаниев С.К. Электрон ҳисоблаш машиналари ва системалари: Олий ўқув юрт.студ. учун дарслик.-Т.: Ўқитувчи, 1990.-2006.

## 10-майруза Хотирловчи қурилмалар

### Режа:

1. Хотирловчи қурилма. Асосий тушунчалар ва параметрлари.
2. Хотира элементлари.
3. Хотира микросхемалари.
4. Доимий хотира қурилмалари.

**Таянч иборалар:** хотира, хотира қурилмаси, мурожаат, хотира элементи, хотира блоқи, бошқариш схемалари, статик хотира элементи, динамик хотира элементи, хотира микросхемаси, доимий хотира қурилма, боғловчи элемент.

1. Хотирловчи қурилма (ХҚ) ёки хотира рақам кодида ифодаланган ахборотни қабул қилиш, сақлаш ва талаб қилинганда узатишга мўлжалланган техник воситалар мажмуидир. "Хотирловчи қурилма" атамаси унинг қурилиш принципини таъкидлаш лозимлигида қўлланилса, "хотира" атамаси у бажарадиган вазифаларига эътиборни қаратишда ишлатилади.

Одатда қабул қилиш ва узатишни мос ҳолда *ёзиш ва ўқиш* деб юритилади. Ёзишни ва ўқишни умумий атама ХҚга *мурожаат* деб ҳам аташади.

Ахборотни сақлаш учун ҳар хил физик муҳитлардан фойдаланилади. Ахборот бирлигини сақлашга мўлжалланган физик муҳит элементи *хотира элементи* (ХЭ) деб юритилади. Хотира элементлари маълум узунликдаги машина сўзини сақловчи *хотира ячейкасига* (ХЯ) бирлаштирилади. Хотира ячейкасига жойлаштириш

мумкин бўлган битлар сони хотира хоналилигини белгилайди. Хотира ячейкалари хотира блокига (ХБ) бирлаштирилади. Мурожаат берилган адрес бўйича ХБдаги керакли ячейкани қидириб топиб, унга ахборотни ёзишни ёки ундан ахборотни ўқишни бажара оладиган *бошқарувчи схемалар* ёрдамида амалга оширилади. Битта ёки бир нечта бир хил хотира блоки ҳамда адресни қабул қилувчи битта умумий каналдан ҳамда машина сўзларини қабул қилувчи ва узатувчи бир хил каналлардан иборат бошқарувчи схемалар хотира қурилмасини ташкил этади.

Хотира қурилмасининг сифати ва бирор компьютерда ёки компьютер тизимида ишлатилишининг мақсадга мувофиқлиги қатор параметрлар билан белгиланади. Бу параметрларнинг ичида энг муҳимлари хажм ва тезкорлик.

*ХҚ хажми* унда бир вақтда сақланиши мумкин бўлган ахборот бирликларининг энг катта сони орқали аниқланади. Хажм битларда, байтларда (8 бит = 1 байт), килобайтларда ( $2^{10}$  байт = 1Кбайт), мегабайтларда ( $2^{10}$  Кбайт = 1Мбайт), гигабайтларда ( $2^{10}$  Мбайт = 1Гбайт), пентабайтларда ( $2^{10}$  Гбайт = 1Пбайт), эксобайтларда ( $2^{10}$  Пбайт = 1Эбайт), зетабайтларда ( $2^{10}$  Эбайт = 1Збайт), йотабайтларда ( $2^{10}$  Збайт = 1Йбайт) ифодаланади.

ХҚ тезкорлигини мурожаат вақти ва тўла цикл вақти орқали ифодалаш қулай ҳисобланади. Мурожаат вақти ХҚга керакли ячейка адресини юбориш пайтидан ХҚ чиқиш йўлида бу ячейкада сақланган сонни олиш пайтигача (ўқишда) бўлган вақт оралиғидан иборат.

Цикл вақти кетма-кет мурожаатлар орасидаги жоиз вақт орқали ўлчанади.

Ушбу параметрларни битта хотира қурилмаси худудида қаноатлантириш мумкин эмас, чунки хажм ошиши билан тезкорлик пасаяди ва аксинча. Шу сабабли, компьютер хотирасида қурилиш принциплари ва

характеристикалари бир-биридан фаркланувчи турли хил ХҚлари ишлатилади.

2. Катта интеграл схемалар (БИС) технологиясидаги ютуклар истиқболли яримўтказгич ХҚ ларни ярагишга имкон берди. Амалда энг кенг тарқалган яримўтказгич хотира қурилмаларидан биполяр ва униполяр (МДП) транзисторларда қурилган ХҚларни кўрсатиш мумкин.

Ахборот кодларини сақлаш усули бўйича статик ва динамик хотира элементлари (хотира қурилмалари) фаркланади. Статик хотира элементида ахборот ўзгармай сақланса, динамик хотира элементида ахборот сақланиш вақти чегараланган ва вақти-вақти билан ахборотни тиклаш керак бўлади.

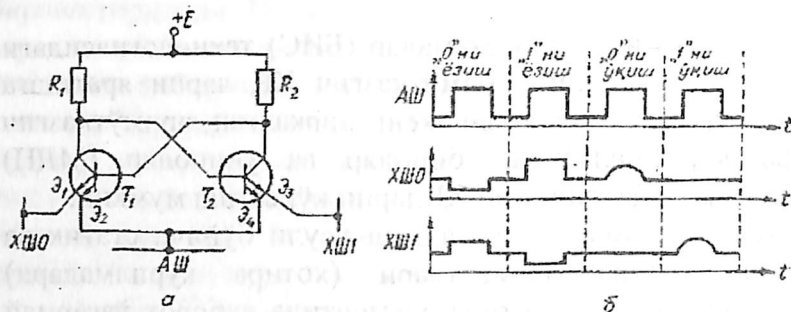
Биполяр транзисторларда қурилган статик хотира элементида (10.1-расм "а") иккита эмиттерли  $T_1$  ва  $T_2$  транзисторлар ҳамда  $R_1$  ва  $R_2$  резисторлар ишлатилади. Транзисторларнинг пастки эмиттерлари адрес шинасига (АШ), юқори эмиттерлари эса мос ҳолда "0" ва "1" хона шиналарига (ХШ0 ва ХШ1)га уланган.

Ахборотни ёзиш АШга мусбат қутбли, ХШ0 ва ХШ1 хона шиналарига эса ёзиладиган ахборотга қараб мос ҳолда мусбат ёки манфий қутбли сигналларни бир вақтда бериш орқали амалга оширилади, "0" ни ёзганда ХШ0 шинасига манфий қутбли, ХШ1 шинасига эса мусбат қутбли сигнал берилади. Бу вақтда  $T_1$  транзистор очилади ва ток  $\mathcal{E}_1$  эмиттер орқали ХШ0 шинасига оқади. "1"ни ёзганда ХШ1 шинасига манфий қутбли, ХШ0 шинасига эса мусбат қутбли сигнал берилади. Натижада  $T_2$  транзистор очилади ва ток  $\mathcal{E}_2$  эмиттер орқали ХШ1 шинасига оқади.

Ахборотни сақлаш режимида хона шиналаридаги потенциал адрес шинасидаги потенциалдан анча катта бўлади. Шунинг учун сақлаш токи АШга уланган



транзисторнинг эмиттери орқали (сақланувчи кодга боғлиқ холда  $\mathcal{E}_2$  ёки  $\mathcal{E}_4$  эмиттер орқали) оқади.



10.1-расм. Статик хотира элементи схемаси (а) ва ахборотни ёзиш ва ўқиш жараёнларининг вақт диаграммаси (б)

Ахборотни ўқиш режимида АШга хона шиналаридаги потенциалдан катта бўлган мусбат кутбли сигнал берилади. Натижада сақлаш режимида  $\mathcal{E}_2$  ёки  $\mathcal{E}_4$  эмиттерлар орқали АШга оқаётган токнинг хаммаси  $\mathcal{E}_1$  ёки  $\mathcal{E}_3$  эмиттерлар ёрдамида мос хона шиналарига уланади ва чиқиш йўли сигнали сифатида ишлатилади. Адрес шинасидаги сигнал тугаши биланок транзистор яна АШга уланади, яъни ўқишдан сўнг ахборот ўчирилмайди. 10.1-расм "б"да ахборотни ёзиш ва ўқиш жараёнларининг вақт бўйича диаграммаси келтирилган.

Биполяр транзисторларда қурилган ХҚлар униполяр транзисторларда қурилган ХҚларга нисбатан катта тезкорликка эга. Аммо бу хил ХҚларда ахборот жойлашиш зичлиги кам, истеъмол куввати катта. Ундан ташқари биполяр транзисторларда хотира элементини қуриш технологиясининг мураккаблиги хотирловчи қурилма нархининг ошишига олиб келади.

Униполяр (МДП) транзисторда қурилган динамик хотира элементида (10.2-расм "а") битта адрес ва битта хона шинаси мавжуд. Иккаласи ўқишда ҳам, ёзишда ҳам

ишлатилади. Ахборотни хотирлаш вазифасини конденсатор ўтайди. "1"ни ёзиш учун адрес шинаси АШга манфий кутбли, хона шинаси ХШга эса мусбат кутбли сигнал берилади. Натижада транзистор Т очилади ва конденсатор С хона шинасидаги потенциал катталигигача зарядланади. "0"ни ёзганда хона шинасига мусбат кутбли сигнал берилмайди, яъни транзистор Т берк бўлади ва конденсатор С зарядланмайди. Ахборотни ўқишда адрес шинасига манфий кутбли сигнал берилади, натижада хотирлаш конденсаторидаги заряд хона шинасига узатилади.

Икки транзисторли хотира элементида (10.2-расм "б") ёзиш ва ўқиш учун алоҳида шиналар мавжуд. Бу схемада ҳам ўқишдан сўнг ахборот ўчирилади.

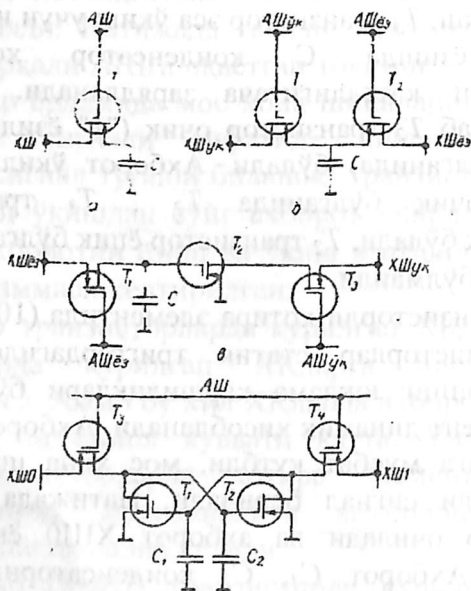
Уч транзисторли хотира элементида (10.2-расм "в")  $T_1$  транзистор ёзиш,  $T_3$  транзистор эса ўқиш учун ишлатилади. Ахборотни ёзишда С конденсатор хона шина кучланишининг катталигигача зарядланади. Ёзилаётган ахборотга қараб  $T_2$  транзистор очик ("1" ёзилганида) ёки ёпиқ ("0" ёзилганида) бўлади. Ахборот ўқилганида,  $T_2$  транзистор очик бўлганида  $T_2$ ,  $T_3$  транзисторлар занжирида ток бўлади,  $T_2$  транзистор ёпиқ бўлганида эса бу занжирда ток бўлмайди.

Тўрт транзисторли хотира элементида (10.2-расм "г")  $T_1$ ,  $T_2$  транзисторлар статик триггердагидек уланган бўлсада, уларнинг юклама қаршиликлари бўлмаганлиги сабабли, элемент динамик ҳисобланади. Ахборотни ёзишда адрес шинасига мусбат кутбли, мос хона шинасига эса манфий кутбли сигнал берилади. Натижада  $T_3$  ёки  $T_4$  транзисторлар очилади ва ахборот ХШ0 ёки ХШ1дан киритилади. Ахборот  $C_1$ ,  $C_2$  конденсаторнинг бирида сақланади. Ахборотни ўқишда адрес шинасига мусбат

кутбли сигнал берилди ва ўқилган ток  $T_3$  ёки  $T_4$  транзистор орқали хона шинасига узатилди.

Амалда уч транзисторли хотира элементи кенг қўлланилади чунки бир ва икки транзисторли хотира элементлари жуда кичик хотирлаш сифмига эга бўлса, тўрт транзисторли хотира элементининг ўлчами катта.

Униполяр транзисторларда қурилган ХҚларда ахборотнинг жойлашиш зичлиги катта, истеъмол қуввати кам. Ундан ташқари униполяр транзисторларда хотира элементини қуриш технологиясининг соддалиги хотирловчи қурилма нархининг арзонлашишига олиб келади. Униполяр транзисторларда қурилган ХҚларнинг тезкорлиги биполяр транзисторларда қурилган ХҚларга нисбатан кичик.



10.2-расм. Динамик хотира элемент схемалари

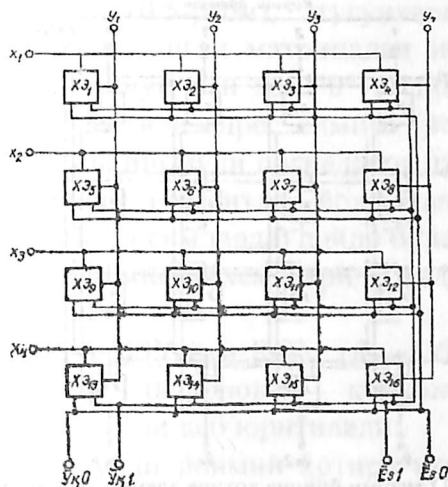
Таъкидлаш лозимки, униполяр транзисторлар асосида статик хотира элементини қуриш мумкин.

3. Яримўтказгич хотира қурилмаларини лойиҳалашда алоҳида хотира элементлари билан эмас, балки интеграл хотира микросхемалари билан иш кўрилади.

Хотира микросхемаси маълум бир тарзда хотира матричасига бирлаштирилган бошқарувчи схемаларга эга бўлган (ёки эга бўлмаган) хотира элементларидан ташкил тошган тугал конструктив birlikдир.

Яримўтказгич хотира элементлари (ХЭ) хотира микросхемаларига 3D, -2D ва шакли ўзгарган 2D (D инглизча *Dimentional* - ўлчам сўзидан олинган) тизимлари бўйича бирлаштиришлари мумкин.

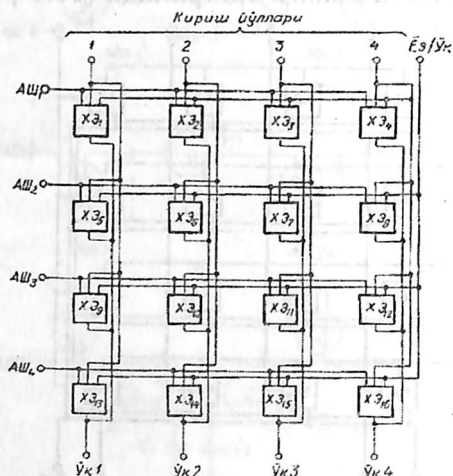
3D тизимида ҳар бир хотира элементи  $x_i$  ва  $y_i$  адрес шиналарининг кесишган жойида жойлаштирилиб, керакли хотира элементини танлаш шу шиналарда сигналларнинг мувофиқлиги бўйича амалга оширилади (10.3-расм).



10.3-расм. 3D тизими бўйича хотира элементларини хотира микросхемасига бирлаштириш

Ахборотни ёзиш учун масалан,  $XЭ_1$  хотира элементиға,  $x_i$  ва  $y_i$  адрес шиналарини кўзғатиш ва ёзилаётган кодға қараб,  $Ёз_1$ , ёки  $Ёз_0$  шинасига сигнал бериш лозим. Ахборотни ўқишда фақат адрес шиналарини кўзғатиш кифоя. Ўқишдан сўнг ахборот ўчирилмайди.

10.4-расмда келтирилган 2D тизимли хотира микросхемаси тўрт хонали тўртта сўзни сақлашға мўлжалланган. Ҳар бир адрес шинаси бир қатордаги хотира элементларини бирлаштиради. Ҳар бир хона шинаси барча тўртта сўзнинг номдош хоналарини бирлаштиради. Ёзишға рухсат берувчи шина барча сўзнинг барча хонасига умумий. Масалан, АШ2 адрес бўйича сўзни ёзиш учун АШ шинасини танлаш, 1...4 кириш йўлларига тўрт хонали сўзни бериш ҳамда ёзишға рухсат берувчи шинани кўзғатиш лозим. Ахборот ўқиш танланган адрес бўйича мурожаатда бажарилади ва ўқишдан сўнг ахборот ўчирилмайди. Шакли ўзгарган 2D тизимида адрес шинаси бир қанча сўзнинг хотира элементларини бирлаштиради.



10.4-расм. 2D тизими бўйича хотира элементларини хотира микросхемасига бирлаштириш схемаси

Юқорида кўрилган ХҚ хиллари компьютерда ҳисоблаш жараёнида ўзгарувчи асосий ахборотни сақлаш учун ишлатилади ва оператив хотира қурилмаси (ОХҚ), инглизча RAM (*Random Access Memory*) деб аталади. Уларда ёзилган ахборот манба узилиши билан ўчирилади.

4. Доимий хотира қурилмалари (ДХҚ), русча ПЗУ, инглизча ROM (*Read Only Memory*) – фақат ўқиладиган хотира деб шундай хотирловчи қурилмаларга айтиладики, бу ХҚ ларнинг ишлаши жараёнида ундан фақат олдиндан ёзиб қўйилган ахборот ўқилади. ДХҚларга ахборот олдиндан, компьютерда масала ечишдан аввал, баъзида ҳатто ДХҚ ясалганда ёзилади ва масала ечиш жараёнида ўзгармайди. Бошқача айтганда, ДХҚлар фақат ахборотни ўқиш режимида ишлатилади, яъни ДХҚ кириш йўли ахбороти (адрес) билан унинг чиқиш йўли ахбороти (ўқилган сўз) ўртасида бир маъноли мувофиқлик мавжуд.

ДХҚнинг хотира блоки одатда 2D тизим бўйича ташкил қилиниб (10.5-расм), тугунларида боғловчи элементлар (БЭ) жойлашган матрицадан иборат. БЭнинг борлиги "1" кодига, йўқлиги эса "0" кодига мос келади. ДХҚга мувожаат вақтида адрес симига (вертикал симга) сигнал берилади. Чиқиш йўли сигналлари танланган адрес сими билан боғловчи элементлар ёрдамида уланган хона симларида (горизонтал симларда) пайдо бўлади.

Доимий хотира микросхемалари куйидаги гуруҳларга бўлинади:

- ДХҚ ёки ПЗУ ёки ROM (*Read Only Memory*) – бир марта, уни тайёрловчи корхона томонидан дастурланади ва ниқобли деб юритилади;
- дастуланувчи доимий хотира қурилмалари ёки ППЗУ ёки PROM (*Programmable ROM*) – фойдаланувчи томонидан бир марта электр усули билан дастурланади;

- ультрабинафша нур ёрдамида ўчиришли ва электр усули билан ёзишли доимий хотира қурилмалари ёки ПЗУ –Уф ёки EPROM (*Erasable PROM*);

- электр усули билан кўп мартаба дастурланадиган ва ўчириладиган доимий хотира қурилмалари ёки ПЗУ-ЭС ёки EEPROM (*Electrical EPROM*).

ROM ва PROM микросхемаларда боғловчи сифатида диодлар, биполяр ва униполяр транзисторлар ишлатилади.

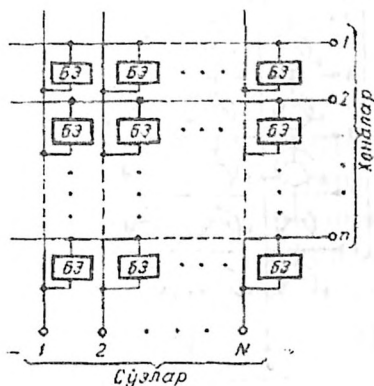
Никоб ёрдамида дастурланувчи ДХҚлар фақат бир марта, уни тайёрловчи корхонада махсус фотошаблонлар ёрдамида дастурланади.

Диод ДХҚ (10.6-расм, "а") энг содда ДХҚ ҳисобланади. Керакли сўзни танлаш мос адрес симига паст сатҳли сигнал бериб бажарилади. Бунда танланган сўз адресининг симини хона симлари билан боғловчи диодлар қаршилиги кичик бўлади ва мос хона симларида "0" сигналларни акслантирувчи паст сатҳли кучланиш ҳосил бўлади. Агар боғланиш нуктасида диод бўлмаса, R резистор орқали ток ўтмайди ва мос хона симида "1" сигнали пайдо бўлади.

Биполяр транзистор-ларда қурилган ДХҚнинг матричасига (10.6-расм "б") ахборотни ёзиш сўз адреси сими билан транзистор базаси (ёки чиқиш йўли сими билан транзистор эмиттери) уланишини йўқотиш йўли билан амалга оширилади. Ахборотни ўқиш эса мос сўз адреси симига кучланиш бериш орқали бажарилади.

Фойдаланувчи томони-дан дастурланувчи ДХҚларда ахборот фойдаланувчи томонидан махсус дастурлаш пульти ёрдамида ёзилади. Бу хилдаги ДХҚлар диод матричалари ёки биполяр транзистор матричалари асосида юқорида кўрилган никоб ёрдамида дастурланувчи ДХҚлар каби қурилади. Фойдаланувчи томонидан дастурланувчи

ДХҚларнинг ишлаши биполяр транзисторларнинг база-эмиттер ўтиши билан ёки диодларнинг  $p-n$  ўтиши билан кетма-кет эритувчан кашак (ЭК) ларни улашга асосланган. 10.7-расмда фойдаланувчи томонидан дастурланувчи



10.5-расм. Доимий хотира курилма тузилмаси

ДХҚларнинг хотира элементлари тасвирланган.

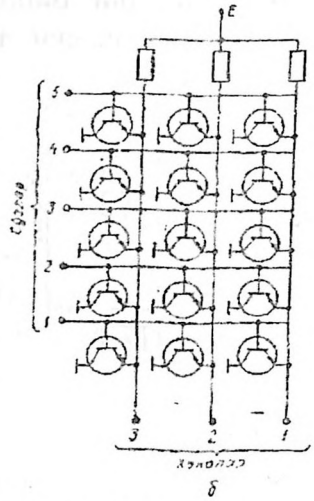
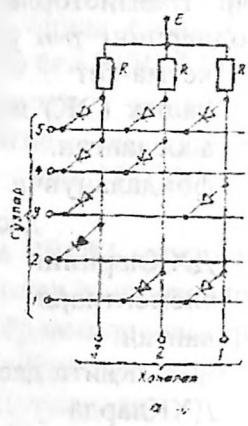
Қайта дастурланувчи ДХҚларда зарурият туғилганда кристаллдаги маълумотлар ўчирилиб, уни қайта дастурлаш мумкин. Кўпинча, ахборот кристаллга ультрабинаф-

ша нурлар таъсир эттириб ўчирилади.

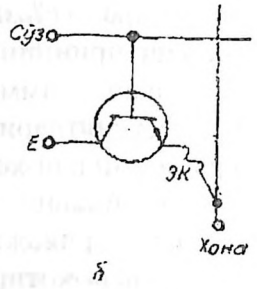
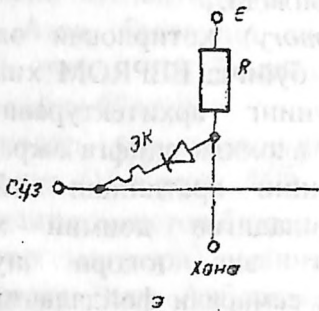
Флеш-хотира (*Flash-Memory*) хотирловчи элемент хили ва ишлаш принциплари бўйича EEPROM хилидаги хотирага ўхшаш, аммо унинг архитектуравий ва тузилмавий хусусиятлари уни алоҳида синфга ажратишга имкон беради. Флеш-хотиранинг яратилиши ахбороти электр усули билан ўчириладиган доимий хотира схемотехникаси ривожининг энг юқори нуктаси ҳисобланади. Флеш-хотирадан самарали фойдаланишнинг икки йўналишини кўрсатиш мумкин:

- унчалик тез-тез ўзгармайдиган маълумотларни сақлаш;
- магнит дискдаги хотирани ўрнига фойдаланиш.





10.6-рasm. Диод ва биполяр транзисторларда қурилган доимий хотира қурилма матрицалари



10.7-рasm. Фойдаланувчи томонидан дастурланувчи доимий хотира қурилма элементлари

Флеш-хотирада алоҳида сўзларни ўчириш кўзда тутилмаган, ахборотни учириш бутун хотира бўйича бараварига ёки етарлича катта блоклар бўйича амалга оширилади.

### **Назорат саволлари:**

1. Хотира қурилмаларининг асосий параметрлари.
2. Статик хотира элементининг динамик хотира элементидан фарқи нимада?
3. Биполяр хотира элементида ахборотни ёзиш, сақлаш ва ўқиш режимларини тушунтириш.
4. Униполяр хотира элементида ахборотни ёзиш, сақлаш ва ўқиш режимларини тушунтириш.
5. 3D тизимли хотира микросхемаси.
6. 2D тизимли хотира микросхемаси.
7. Доимий хотира қурилмаларининг гуруҳларини санаб ўтиш.
8. Флеш-хотира нима?

### **Адабиёт:**

1. Бабич Н.П., Жуков И.А. Основы цифровой схемотехники: Учебное пособие.- М.: Издательский дом "Додека-XXI", К.: "МК-Пресс", 2007.-480с.
2. Угрюмов Е.П. Цифровая схемотехника.- СПб.:БХВ-Петербург, 2004-528с.
3. Ғаниев С.К. Электрон ҳисоблаш машиналари ва системалари: Олий ўқув юрт.студ. учун дарслик.- Т.:Ўқитувчи, 1990.-2006.

## 11-майруза

### Рақам-аналог ва аналог-рақам ўзгартгичлар

#### Режа:

1. Кириш.
2. Рақам-аналог ўзгартгич.
3. Аналог-рақам ўзгартгич.

**Таянч иборалар:** рақам-аналог ўзгартгич, аналог-рақам ўзгартгич, резисторли матрица, амалий кучайтиргич, кетма-кет санаш, интегратор.

1. Рақам-аналог ўзгартгичлар (РАЎ) ва аналог-рақам ўзгартгичлар (АРЎ) ўлчаш техникасида (рақамли осциллографлар, вольтметрлар, сигнал генераторлари ва х.), тиббиёт техникасида, радиолокация қурилмаларида, компьютер техникасида (товушни компьютерга киритиш ва чиқариш, видеомониторлар, принтерлар ва х.), маиший аппаратураларда (телевизорлар, мусика марказлари, автомобил электроникаси ва х.), телефонларда ва бошқа турли соҳаларда ишлатилади.

РАЎ ва АРЎ структуралари билан танишишдан аввал уларнинг структураларида жамловчи ва интегралловчи режимларда ишлатилувчи амалий кучайтиргич хусусидаги асосий маълумотни келтирамиз.

Бир неча кириш йўли резисторларига эга бўлган амалий кучайтиргич (11.1-расм) резисторларга берилган кучланишни жамлашга имкон беради. Амалий кучайтиргичнинг кириш йўлидаги ("а" нуктасидаги) кучланиш нулга яқин бўлади. Кириш йўли кучланиши  $U$ ,

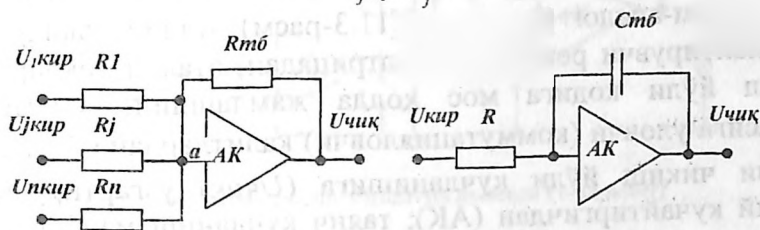
мос резистор  $R_j$ , да  $i = \frac{U_j}{R_j}$  токини хосил қилади. Бу

токнинг катталиги бошқа резисторлар орқали оқётган ток катталигига боғлиқ эмас. Амалий кучайтиргич тескари боғланишнинг туташтирувчи занжирига қуйидаги токни йўналтиради.

$$i_{м.б.} = -\sum_{j=1}^n i_j$$

Токларни мос кучланишлар орқали ифодалаб, қуйидагини оламиз

$$U_{чик} = -\sum_{j=1}^n \frac{R_{м.б.}}{R_j} U_j$$



11.1-расм. Жамлагич схемаси

11.2-расм. Интегратор схемаси

Амалий кучайтиргич интеграллаш амалини бажаришга ҳам имкон беради. 11.2-расмда интеграллаш амалини бажарувчи схема (интегратор) келтирилган. Схема чиқиш йўли кучланиши қуйидагига тенг

$$U_{чик}(t) = -\int_0^1 U_{кир}(t) dt$$

2. Рақам-аналог ўзгартгич рақамли ахборотни кучланиш кўринишидаги (баъзида ток кўринишидаги) аналог шаклига ўзгартиришга хизмат қилади.

Рақам-аналог ўзгартиришда куйидаги п-хонали параллел код

$$X = X_1 2^{-1} + X_2 2^{-2} + \dots + X_i 2^{-i} + \dots + X_n 2^{-n}$$

учун (бу ерда  $X_i = 0$  ёки 1 рақами,  $2^{-i}$  эса  $i$ -хонанинг салмоғи) аввал  $X$  қийматига муносиб  $I_x$  токи олинади, сўнгра уни чиқиш йўли кучланишига ўзгартирилади.  $I_x$  токи қиймати соннинг ҳар бир хона учун ҳосил қилинадиган эталон тоқлар йиғиндиси орқали аниқланади, яъни

$$I_x = X_1 I_1 + X_2 I_2 + \dots + X_i I_i + \dots + X_n I_n,$$

бунда фақат  $X_i = 1$  бўлган хоналар токи жамланади.

Рақам-аналог ўзгартгич (11.3-расм) эталон тоқларни шакллантирувчи резисторли матрицадан; эталон тоқларни кириш йўли кодига мос ҳолда жамлашнинг умумий нуқтасига уловчи (коммутацияловчи) калитлардан ( $K_i$ );  $I_x$  токани чиқиш йўли кучланишига ( $U_{чик}$ ) ўзгартирувчи амалий кучайтиргичдан (АК); таянч кучланиш манбаидан ( $U_{таянч}$ ) ташкил топган. 11.3-расмдаги схемада  $R - 2R - \dots - 2^{n-1} R$  кўринишидаги иккили-салмоқланган қаршилиқлар асосидаги резисторли матрица ишлатилган.

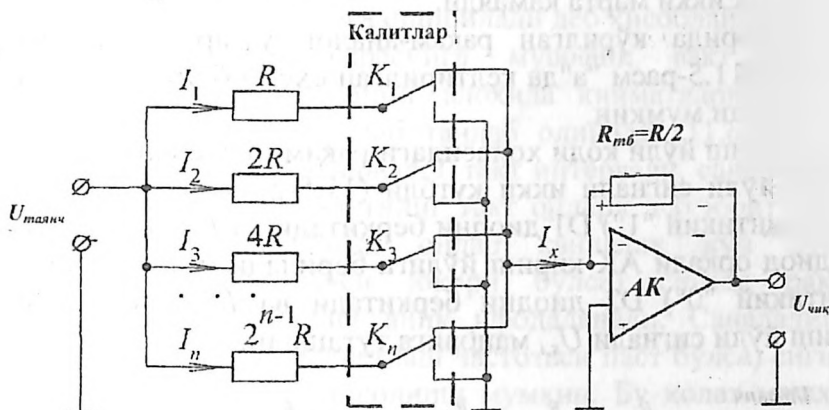
Матрица резисторларининг қаршилиги катта хонадан кичик хонага ўтилганида иккиланади, эталон тоқлар эса икки марта камаяди. Масалан, биринчи, энг катта хона учун ток қийматини  $I_1 = 1$  мА деб қабул қилинса, иккинчи хона учун  $I_2 = 0,5$  мА, учинчи хона учун  $I_3 = 0,25$  мА ва ҳ. бўлади.

$K_1 - K_n$  калитлар кириш йўли коди мос хоналарининг "нуль" ва "бир" рақамларини акслантирувчи кучланиш сатҳлари орқали бошқарилади. АК кириш йўлининг потенциали доимо нулга тенг бўлганлиги сабабли хона

тоқларининг жамланиши куйидаги муносабат билан ифодаланади

$$I_x = \frac{U_m}{R} X_1 + \frac{U_m}{2R} X_2 + \frac{U_m}{4R} X_3 + \dots + \frac{U_m}{2^{n-1}R} X_n = \quad (11.1)$$

$$= \frac{U_m}{R} (X_1 + 2^{-1} X_2 + 2^{-2} X_3 + \dots + 2^{-(n-1)} X_n) = \frac{U_m}{R} \sum_{i=1}^n X_i 2^{-(i-1)}$$



11.3-рasm. Рақам-аналог ўзгартгич схемаси (1-вариант)

РАЎ чиқиш йўлидаги кучланиш куйидаги формула орқали ҳисобланади:

$$U_{чик} = -I_x R_{м.б.} = -U_T \sum_{i=1}^n X_i \cdot 2^{-i} \quad (11.2)$$

Бу ерда  $R_{т.б.} = R/2$  — кучайтиргичнинг тескари боғланиш занжиридаги қаршилик.

*Мисол:* Кириш йўлидаги олти хонали рақам коди  $X=101011$  ни ўзгартиришдаги РАЎ чиқиш йўлидаги кучланиш ҳисоблансин. Таянч кучланиш  $U_m = 10$  В.

(11.2) ифодага биноан куйидагини оламыз:

$$U_{чик} = -10(1 \cdot 2^{-1} + 0 \cdot 2^{-2} + 1 \cdot 2^{-3} + 0 \cdot 2^{-4} + 1 \cdot 2^{-5} + 1 \cdot 2^{-6}) =$$

$$= -10(2^{-1} + 2^{-3} + 2^{-5} + 2^{-6}) = -6,72 \text{ В}$$

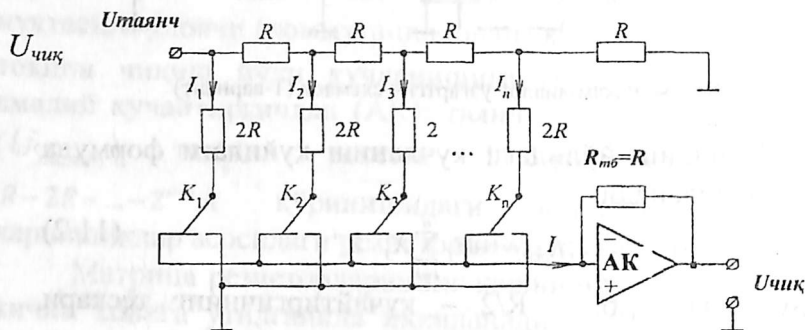
Кўрилган РАЎнинг асосий камчилиги матрица қаршиликлари диапазонининг катталиги. Айниқса бу

камчилик кириш йўли кодининг хоналилиги ошган сари яққол намоён бўлади.

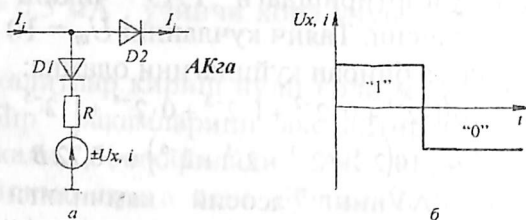
11.2 муносабатни амалга оширувчи, фақат иккита номиналли резистор ишлатилган РАЎ схемаси 11.4-расмда келтирилган. Бунда катта хонадан кичик хонага ўтилганида эталон ток икки марта камаяди.

Юқорида кўрилган рақам-аналог ўзгартгичлардаги калитлар 11.5-расм "а"да келтирилган схема бўйича амалга оширилиши мумкин.

Кириш йўли коди хонасидаги рақамни акслантирувчи кириш йўли сигнали икки кутбלי (11.5-расм "б"): мусбат сатҳ (мантиқий "1") D1 диодни беркитади ва  $I_i$  эталон токи D2 диод орқали АК кириш йўлига берилади; манфий сатҳ (мантиқий "0") D2 диодни беркитади ва  $I_i$  эталон токи кириш йўли сигнали  $U_{x,i}$  манбаига туташади.



11.4-расм Рақам-аналог ўзгартгич схемаси (2-вариант)



11.5-расм. Калит схемаси

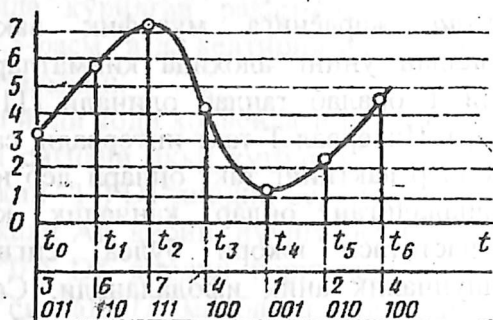
3. Аналог шаклдаги сигналларни рақамли шаклга ўзгартиришда қуйидаги учта жараёни кўрсатиш мумкин: дискретлаш, квантлаш, кодлаш. Ушбу жараёнлар моҳиятини кўриб чиқамиз. Кейинги баёнларда аниқликни таъминлаш мақсадида ўзгартириш қиймати бўйича узлуксиз ўзгарувчи кучланиш шаклида ифодаланган сигналлар устида амалга оширилади деб ҳисоблаймиз.

*Дискретлаш* жараёнига мувофиқ вақт бўйича узлуксиз сигналдан унинг алоҳида қийматлари маълум вақт интервали  $T$  оралаб танлаб олинади (11.6 -расмда  $t_0, t_1, \dots, t_n$  онлар). Интервал  $T$  такт интервали, саналадиган  $t_0, t_1, \dots, t_n$  онлар вақтнинг такт онлари деб юритилади. Равшанки, саналадиган онлар қанчалик кўп бўлса (дискретлаш частотаси юқори бўлса) сигнал рақам кўринишида шунчалик аниқ ифодаланади. Саналадиган онлар кам бўлса (дискретлаш частотаси паст бўлса) сигнал хусусидаги ахборот йўқолиши мумкин. Бу ҳолат машҳур Найквист-Котельников мезонидан бевосита келиб чиқади. Ушбу мезонга мувофиқ дискретлаш частотаси бўлмаганда сигнал частотасидан икки маротаба катта бўлиши лозим. Акс ҳолда сигнал хусусидаги ахборот йўқолади ва сигнални берилган аниқликда аналог шаклига тиклаб бўлмайди.

*Квантлашнинг* моҳияти қуйидагича. Бир-биридан квантлаш қадами деб аталувчи  $\Delta$  катталиқка силжиган квантлар тўри ҳосил қилинади (11.6-расм). Квантлашнинг ҳар бир сатҳига тартиб рақами (0, 1, 2, 3, 4 ва х.) берилиши мумкин. Сўнгра дискретлаш натижасида олинган дастлабки аналог кучланиш қийматлари уларга яқин квантлаш сатҳи билан алмаштирилади. Масалан, 11.6-расмдаги диаграммда  $t_0$  ондаги кучланиш қиймати унга яқин 3 номерли квантлаш сатҳи билан алмаштирилади,  $t_1$  ондаги кучланиш қиймати 6 сатҳга



яқин ва ушбу сатҳ билан алмаштирилади ва ҳ. Ҳар қандай яхлитлаш каби квантлаш жараёни кучланишнинг дискрет қийматларини ифодалашда хатоликка олиб келади, яъни квантлаш шовқуни ҳосил бўлади. Аналог-рақам ўзгартгичларни лойиҳалашда квантлаш шовқунини пасайтиришга ҳаракат қилинади.



11.6.-расм. Дискретлаш, квантлаш ва кодлаш жараёнига

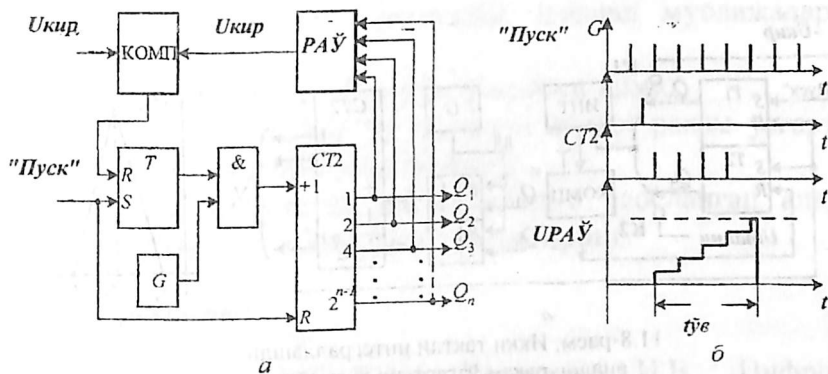
*Кодлашнинг* моҳияти қуйидагича. Квантлаш амалида кучланиш қийматининг яхлитланиши бу қийматларларни сонлар – мос квантлаш сатҳлари номерлари орқали ифодалашга имкон беради. 11.6-расмдаги диаграмма учун 3, 6, 7, 4, 1, 2 ва ҳ. сонларнинг кетма-кетлиги иккили код орқали ифодаланади.

Аналог-рақам ўзгартгичларда қуйидаги ўзгартириш усуллари ишлатилади:

- кетма-кет санаш (рақам-аналог ўзгартгичли ёки икки тактли интеграллаш);
- хоналар бўйича кодлаш;
- параллел;
- параллел-кетма-кет.

Қуйида кетма-кет санаш аналог-рақам ўзгартгичларининг ишлаш тартиби келтирилган. Кетма-кет

санаш (рақам-аналог ўзгартгичли) аналог-рақам ўзгартгич схемаси 11.7-расмда келтирилган. "Пуск" сигнали бўйича RS-триггер "1" ҳолатига ўтади ва генератор G дан сигналларни И элементи орқали иккили счетчикнинг жамлаш кириш йўлига ўтишига рухсат беради. Счетчик СТ2 нинг чиқиш йўлидан рақамли код рақам-аналог ўзгартгич РАЎ ёрдамида кучланишга ўзгартирилади ва бу кучланиш компаратор КОМПнинг кириш йўлига берилади. Компараторнинг иккинчи кириш йўлига ўлчанаётган кучланиш  $U_{кир}$  берилади.

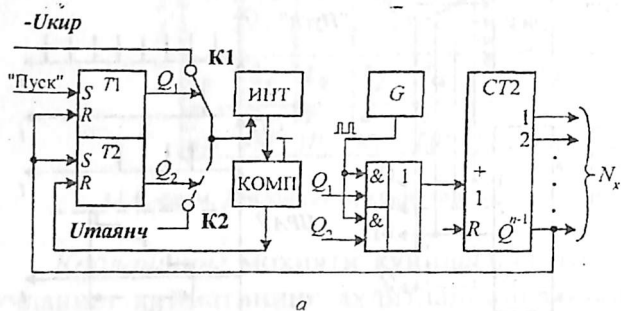


11.7-расм. Рақам-аналог ўзгартгичли аналог-рақам ўзгартгич схемаси

$U_{кир} = U_{РАЎ}$  ҳолатида компаратор RS-триггерни нул ҳолатига ўтказувчи сигнални шакллантиради. Шундан сўнг сигнални санаш тўхтатилади ва счетчикнинг чиқиш йўлида кириш йўли кучланишининг рақамли эквиваленти қайдланади. Ўзгартириш вақти ( $t_{ў.с.}$ ) кириш йўли кучланиши  $U_{кир}$  қийматига боғлиқ.

Кетма-кет санаш (икки тактли интеграллашли) аналог-рақам ўзгартгич схемаси 11.8-расмда келтирилган. Ўзгартириш икки тактда амалга оширилади.

Биринчи тактда "Пуск" сигнали Т1-триггерни "1" ҳолатига ўтказди. Кириш йўли сигнали минус  $U_{кир}$  Т1-триггернинг бирлик чиқиш йўли орқали бошқарилувчи калит  $K_1$  орқали интегратор ИНТга берилади. Генератор  $G$  дан сигналлар И-ИЛИ схема орқали счетчик СТ2 нинг жамлаш кириш йўлига берилади.  $2^n$  сигнал ( $n$ -счетчик хоналилиги) саналганидан сўнг СТ2нинг катта хонасидан кўчириш қиймати сигнали Т1-триггерни "0" ҳолатига ўтказди. Шу билан интеграллашнинг биринчи такти тугайди.



11.8-расм. Икки тактли интеграллашли аналог-рақам ўзгартич схемаси

Иккинчи тактда интеграторга таянч кучланиш – плюс  $U_m$  Т2-триггернинг бирлик чиқиш йўли орқали бошқарилувчи калит  $K_2$  орқали интегратор ИНТга берилади. Бир вақтнинг ўзида Т2-триггернинг бирлик чиқиш йўли генератор  $G$  дан сигналларни СТ2нинг жамлаш кириш йўлига ўтишига рухсат беради (янги санаш бошланади).

Интегратор ИНТнинг чиқиш йўлидаги кучланиш нулга тенг бўлган онда компаратор Т2 - триггерни "0" ҳолатига ўтказди. Натижада сигналларнинг счетчикка

Ўтиши тўхтатилади ва счетчикнинг чиқиш йўлида кириш йўли кучланишига мутаносиб рақамли код  $N_x$  шаклланади.

### Назорат саволлари:

1. Рақам-аналог ўзгартириш принципини тушунтиринг.
2. Аналог-рақам ўзгартириш принципини тушунтиринг.
3. Рақам-аналог ўзгартгичлардаги калитлар ишлашини тушунтиринг.
4. Дискретлаш, квантлаш, кодлаш муолажаларини тушунтиринг.
5. Найквист-Котельников мезони нима?
6. Рақам-аналог ўзгартгичли аналог-рақам ўзгартгич ишлаш принципини тушунтиринг.
7. Икки тактли интеграллашга асосланган аналог-рақам ўзгартгич ишлашини тушунтиринг.

### Адабиёт:

1. Безуглов Д.А., Калиенко И.В. Цифровые устройства и микропроцессоры., Ростов-на-Дону, 2006 г.
2. Каган Б.М. Электронные вычислительные машины и системы. М. Энергоатомиздат, 1991.
3. Бабич Н.П., Жуков И.А. Основы цифровой схемотехники. Учебное пособие. – М.: Издательский дом "Додека-XXI", К.: "МК-пресс", 2007. – 490 с.; ил.

## 12-майруза Микропроцессорлар

### Режа:

1. Микропроцессор. Умумий тушунчалар.
2. 16 ҳонали i8086 микропроцессор тузилмаси.
3. Арифметик-мантикий қурилма.

**Таянч иборалар:** процессор, микропроцессор, арифметик-мантикий қурилма, магистрал билан боғловчи қурилма, бошқарувчи ва синхронловчи қурилма, сигналларни мультимплексорлаш, микропроцессор ташқи чиқмалари.

1. Дастлабки катта интеграл схемалар (БИС) анъанавий "схемали" мантикли усуллар бўйича амалларни бажаришга мўлжалланган бўлиб, уларда ахборотни ўзгартириш бўйича фақат битта функция бажарилар эди. Ундан ташқари бундай БИСларда универсалликнинг йўқлиги уларни серияли ишлаб чиқилишига тўсқинлик қилар эди.

Функциялари "схемали" мантиқ орқали эмас, балки дастурлаш орқали амалга оширилувчи БИСларни яратиш гоёси микропроцессор БИСларнинг яратилишига сабаб бўлди. Бундай БИСларда бажариладиган амалларнинг кенг наборини амалга ошириш имкони туғилдики, бу набор микропроцессор хотирасида ёзилган ахборот (дастур) орқали аниқланади.

Микропроцессор БИС ёки БИС наборлари асосида қурилган ва берилган командалар тизимини амалга оширувчи функционал тугалланган қурилма ҳисобланади. Моҳиятан, микропроцессор бажарадиган функциялар одатдаги ЭХМнинг марказий процессори функцияларига ўхшаш. "Микро" ибораси процессор схемаси

интеграциясининг юқорилигини ва ўлчамларининг кичиклигини таъкидлайди, холос.

Дунёда оммавий тус олган микропроцессор-Intel фирмасининг x86 оиласига мансуб бир кристалли микропроцессорлар ҳисобланади. Бу оила биринчи 8 хонали i8080 микропроцессорларидан бошланган ва i8086, i80286, i80386, i80486, Pentium, ... , Pentium 4 каби 16 ва 32 хонали микропроцессорларни ўз ичига олади. Оиланинг "асосчиси" сифатида 16 хонали i8086 микропроцессор қабул қилинган ва бу микропроцессор асосида IBM PC XT шахсий ЭҲМлари қурилган.

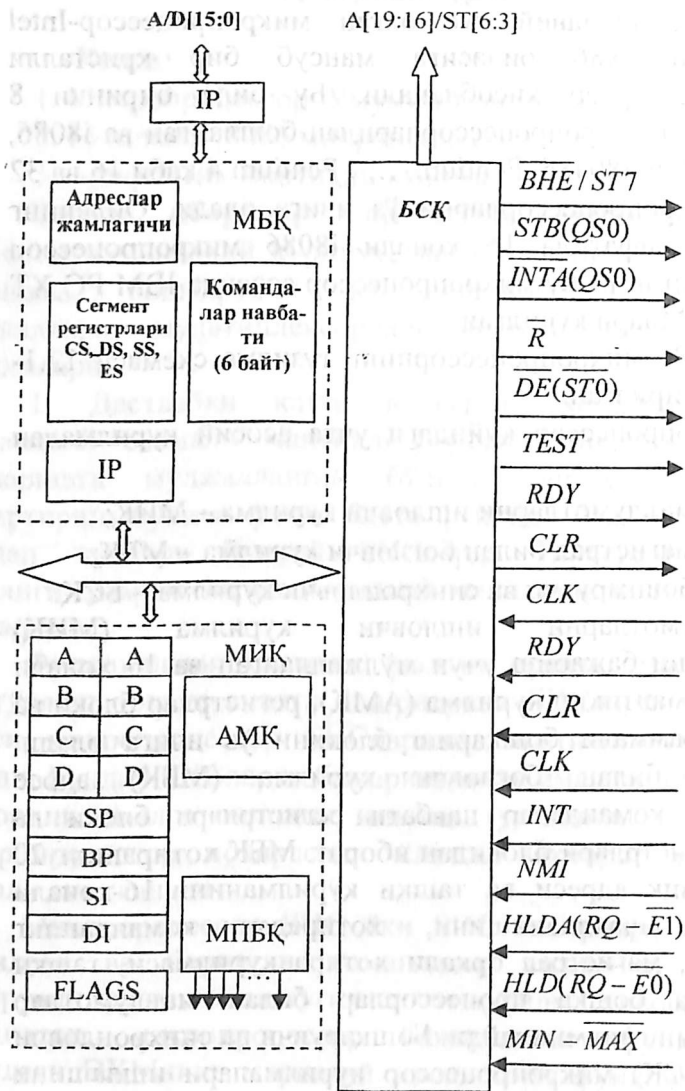
2. i8086 микропроцессорнинг тузилма схемаси 12.1-расмда келтирилган.

Микропроцессор қуйидаги учта асосий қурилмадан иборат:

- маълумотларни ишловчи қурилма – МИҚ;
- магистрал билан боғловчи қурилма – МБҚ;
- бошқарувчи ва синхронловчи қурилма – БСҚ.

Маълумотларни ишловчи қурилма (МИҚ) командаларни бажариш учун мўлжалланган ва 16 хонали арифметик мантиқий қурилма (АМҚ), регистрлар блоки ва микропрограммали бошқариш блокани ўз ичига олади. Магистрал билан боғловчи қурилма (МБҚ) адрес жамлагичи, командалар навбати регистрлари блоки ва сегмент регистрлари блокидан иборат. МБҚ хотиранинг 20 хонали физик адреси ва ташқи қурилманинг 16-хонали адресининг шаклланишини, хотирадан команданинг олинишини, магистрал орқали хотира қурилмаси, ташқи қурилма ва бошқа процессорлар билан маълумотлар алмашинувини таъминлайди. Бошқарувчи ва синхронловчи қурилма (БСҚ) микропроцессор қурилмалари ишлашини синхронлашни, бошқарувчи сигналларни ва бошқа

қурилмалар билан ахборот алмашишни учун ҳолат сигналларини ишлаб чиқилишини таъминлайди.



12.1-расм. i8086 микропроцессор тузилмаси

i8086 микропроцессор минимал ва максимал деб аталувчи режимлардан бирида ишлаши мумкин. Минимал режим i8080 асосидаги микропроцессор тизимига ўхшаш бир процессорли микропроцессор тизимини амалга оширишга мўлжалланган бўлсада, адрес макони катталашган, тезкорлиги ошган ва командалар тизими кенгайган. Максимал режимга биноан умумий тизим шинасида ишловчи бир неча микропроцессорлар мавжуд. i8086 микропроцессори асосида, максимал режимдан фойдаланган ҳолда қурилган микропроцессор тизимлари кенг тарқалмади. Айниқса, Intel фирмаси микропроцессорларининг кейинги моделларида (80286, 80386, 80486) мультипроцессорли архитектурадан воз кечди.

i8086 микропроцессорнинг ташқи чиқмаларида сигналларни мультиплексорлаш принциpidан фойдаланилади. Бу принципга биноан турли сигналлар умумий линиялар орқали вақт бўйича бўлиниши билан узатилади. Ундан ташқари бир хил чиқмалар режимга (min-max) боғлиқ ҳолда турли сигналларни узатишга ишлатилиши мумкин. Жадвалда i8086 микропроцессор ташқи чиқмаларининг тавсифи келтирилган. Чиқмаларнинг тавсифида қиялама чизик (/) орқали чиқмаларда машина циклининг турли онларида пайдо бўлувчи сигналлар ажратилган. Юмалоқ қавсларда фақат максимал режимга характерли сигналлар кўрсатилган. Сигнал номидан кейинги симболи бу сигнал инверсиясианинг белгисидир.

3. Арифметик – мантикий қурилма (АМК) рақам кодлари устида амаллар бажаришга мўлжалланган. АМКда одатда арифметик, мантикий ва махсус арифметик амаллар бажарилади. Арифметик амалларга қўшиш, айириш, кўпайтириш, бўлиш ва сон модулларини айириш амаллари,



мантикий амалларга кодларнинг тенглигини аниқлаш мақсадида бир-бирига таққослаш, кўп хонали иккили сўзлар устида бажариладиган дизъюнкция ва конъюнкция амаллари; махсус арифметик амалларга силжитиш, нормаллаштириш, бутун сонлар устида бажариладиган амаллар ва х. кирази.

12.1-жадвал.

i8086 микропроцессорнинг ташки чикмалари

Ташки чикма	Тавсиф
A/D[15:0]	Адреслар/маълумотларнинг кичик 0-15 хоналари
A[19:16]/ST[6:3]	Ҳолат адреслари/сигналларининг катта 16-19 хоналари
BHE*/ST[7]	Қолат маълумотлари/сигналлари катта байтини узатишга рухсат
STB(QS0)	Адрес строби (команда навбати ҳолати)
R*	Ўқиш
W*/(LOCK*)	Ёзиш(каналнинг блокировкаси)
M-IO*(ST2*)	Хотира-ташки курилма (цикл ҳолати)
OP-IP*(ST1*)	Узатиш/қабул(цикл ҳолати)
DE*(ST0*)	Маълумотларни узатишга рухсат(цикл ҳолати)
TEST*	Текшириш
RDY	Тайёрлик
CLR	Тозалаш (Сброс)
CLC	Такт сигнали
INT	Ташки бўлинишга суров
INTA*(QS1)	Бўлинишнинг тасдиғи(команда навбати ҳолати)
NMI	Ниқобланмасдан бўлиниш сурови
HLD(RQ*/E0)	ПДПга суров (магистралдан фойдаланишга суров/тасдик)
HLDA(RQ*/E1)	ПДП тасдиғи (магистралдан фойдаланишга суров/тасдик)
MIN/MAX*	(min=1, max=0) режимнинг берилиши имконияти

АМҚ қуйидагича туркумланади:

- рақамли ахборотни узатиш ва ишлаш жараёнларини ташкил этиш усули бўйича кетма-кет ва параллел АМҚ фаркланади. Кетма-кет АМҚларда рақамли ахборотни узатиш ва ишлаш унинг алоҳида хоналари устида вақт бўйича кетма-кет амалга оширилади. Параллел

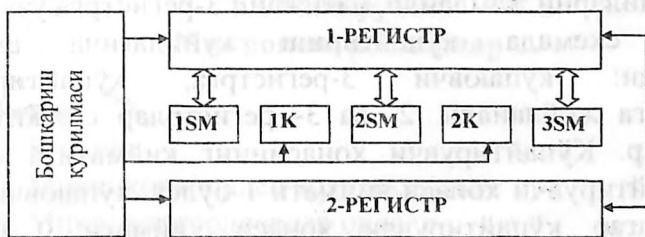
АМҚларда рақамли ахборотни узатиш ва ишлаш унинг барча хоналари устида вақт бўйича параллел амалга оширилади

- сонларни ифодалаш усули бўйича қўзғалмас вергулли сонлар устида амал бажарувчи, сурилувчи вергулли сонлар устида амал бажарувчи ва иккили-ўнли сонлар устида амал бажарувчи АМҚлар фарқланади. Иккили-ўнли сонлар устида амал бажарилганида АМҚ да ўнли тузатиш схемаси бўлиши шарт. Бу схема олинган натижани шундай ўзгартирадики, ҳар бир иккили-ўнли хонада 9 дан ката бўлмаган рақам бўлади.

- элемент ва узелларнинг ишлаши бўйича блок типига ва универсал (кўп вазифали) типдаги АМҚлар фарқланади. Блок типига АМҚларда асосий амаллар бир-бирига боғлиқ бўлмаган алоҳида блоklarда бажарилади. Универсал АМҚда барча амаллар бир хил узеллардан фойдаланиб бажарилади (12.2 расм).

1К ва 2К калитлар қўзғалмас вергулли сонлар устида амал бажариш учун 1,2,3 жамлагичларни бирлаштиради.

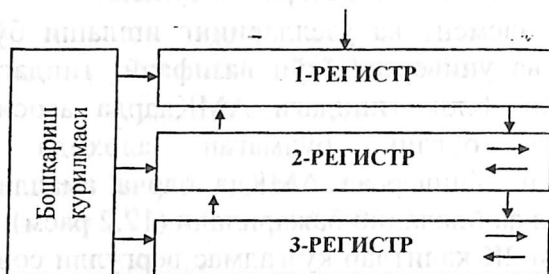
Сурилувчи вергулли сонлар устида амал бажариш учун 2К калит мантиссани ишлаш мақсадида 2 ва 3 – жамлагичларни бирлаштиради, 1К калит 1-жамлагични иккинчи жамлагичдан ажратади. 1-жамлагич тартибни ишлайди.



12.2-расм. Универсал арифметик-мантиқий қурилма

Структуралари бўйича бевосита боғланишли ва кўпбоғламли АМҚлар фарқланади. Кўпбоғламли АМҚларда ахборот манбаи ва қабул қилувчи регистрларнинг кириш ва чиқиш йўллари битта шинага уланади. Кириш ва чиқиш йўллари сигналларининг тақсимланиши бошқариш сигналлари таъсирида амалга оширилади.

Бевосита боғланишли АМҚларда қабул қилувчи регистрнинг кириш йўли манбаа регистрининг ва ахборот ишландиган регистрнинг чиқиш йўллари билан боғланган (12.3-расм)



12.3-расм. Бевосита боғланишли арифметик-мантикий қурилма

Масалан, бу схемада жамлаш қуйидагича амалга оширилади: операндлар 1-регистрга берилади. 2-регистр сифатида тўпловчи жамлагич ёки хотирали автомат ишлатилади. Бу регистр вақтнинг турли ониди келаётган кўшилувчиларни жамлайди, натижани 3-регистрга узатади.

Бу схемада кўпайтириш қуйидагича амалга оширилади: кўпаювчи 3-регистрга, кўпайтирувчи 1-регистрга жойланади. 2- ва 3- регистрлар силжитувчи регистрлар. Кўпайтирувчи хонасининг қийматига қараб агар кўпайтирувчи хонаси қиймати 1 бўлса, кўпаювчи бир хонага, агар кўпайтирувчи хонаси қиймати 0 бўлса кўпаювчи 2 хонага силжитилади. Бу қисмий кўпайтмалар 2-регистрда жамланади.

### **Назорат саволлари:**

1. Микропроцессор нима?
2. Микропроцессорнинг процессордан фарқи.
3. Микропроцессорни асосий қурилмалари.
4. Арифметик-мантикий қурилма ва унинг туркумланиши.

### **Адабиёт:**

1. Угрюмов Е.П. Проектирование элементов и узлов ЭВМ – М.; Высш. шк., 1987, с.3-5.
2. Схемотехника ЭВМ. Учебник для ВУЗов под редакцией Соловьева Г.Н. – М.; Высш. шк., 1985, с.3-8.
3. Безуглов Д.А., Калиенко И.В. Цифровые устройства и микропроцессоры., Ростов-на-Дону, 2006 г.
4. Хоровиц П., Хилл У. Искусство схемотехники. Изд. 3-е, Москва, Мир, 1986 г.
5. Каган Б.М. Электронные вычислительные машины и системы. М. Энергоатомиздат, 1991.
6. Ганиев С.К. Электрон хисоблаш машиналари ва системалари: Олий ўқув юрт.студ. учун дарслик. - Т.: Ўқитувчи, 1990.-2006.
7. Бабич Н.П., Жуков И.А. Основы цифровой схемотехники: Учебное пособие. – М.: Издательский дом "Додека-XXI", К.: "МК-Пресс", 2007. – 480 с. ил.

### **13-маъруза**

### **Микроконтроллерлар**

#### **Режа:**

1. Кириш.
2. Микроконтроллер архитектураси.
3. Микроконтроллерлар оиласи.
4. Микроконтроллер ишлаши дастурини яратиш.

**Таянч иборалар:** микроконтроллер, бўлиниш контроллери, ДХҚ, ОХҚ, марказий процессор, такт генератори, адрес/маълумот шинаси, киритиш/чиқариш порти, кетма-кет порт, параллел порт, таймер, бўлиниш тизими, HEX-формат.

1. Микроконтроллерни (МК) битта микросхемада жойлашган компьютер сифатида тасаввур этиш мумкинки, унинг ўлчами ва энергия истеъмоли, нархи кичик; унумдорлиги ва ишончилиги катта ҳамда турли масалаларни ечишга мосланувчанлик қобилияти мавжуд.

МКнинг микропроцессордан фарқи шундаки, унда марказий процессордан ташқари хотира ва кўп сонли киритиш/чиқариш қурилмалари, аналог-рақам ўзгартгичлари, ахборотни узатишнинг кетма-кет ва параллел каналлари, реал вақт таймерлари, модуляторлар ва ҳ. мавжуд. Тузилиши ва ишлаш принципи бўйича МКнинг шахсий компьютердан фарқи йўқ. Шу сабабли микроконтроллер ва микро-ЭҲМ атамалари синоним атамалар ҳисобланади. Аммо микроконтроллер атамаси (инглизча control – бошқариш сўзидан) кенг тарқалган, чунки у асосан турли қурилмаларга ўрнатилган автоматик бошқариш тизимларида ишлатилади. Бу қурилмалар – фотоаппаратлар, уяли телефонлар, мусиқа марказлари, телевизорлар, ювиш машиналари, микротўлқин печлари, автомобиллар, ядро реакторлари ва ҳ.

2. Архитектураси 13.1-расмда келтирилган МК8051 микроконтроллер намунавий ҳисобланади ва унинг асосида жуда кўп микроконтроллерлар яратилган. Марказий процессор – МКнинг асосий узели – у билан командалар тизими тушунчаси боғлиқ.

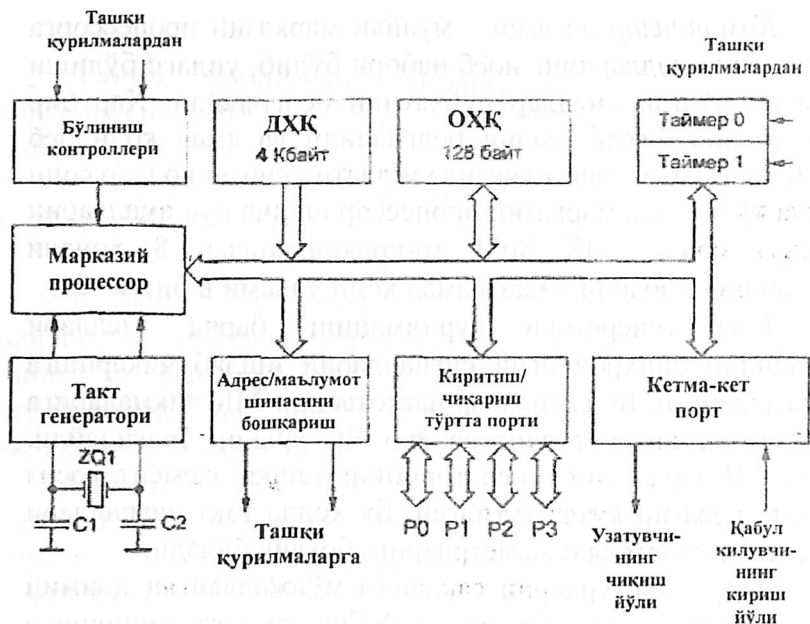
*Командалар тизими* – муайян марказий процессорга хос иккили кодларнинг ноёб набори бўлиб, ундаги бўлиши мумкин бўлган амаллар рўйхатини белгилайди. Ҳар бир бундай код битта амални белгилайди ва амал коди деб аталади. Командалар тизимида ишлатиладиган кодлар сони қанча кўп бўлса, марказий процессор шунча кўп амалларни бажара олади. МК 8051 микроконтроллер 8 ҳонали бўлганлиги сабабли ундаги амал коди ўлчами 8 битга тенг.

Такт генератори қурилманинг барча узеллари ишлашини синхронловчи сигналларни ишлаб чиқаришга мўлжалланган. Бу сигналлар частотасини МК чикмаларига уланадиган кварц резонатор ёки РС-занжир белгилайди. Баъзи МКларда такт генераторининг ташқи элементларсиз ишлаш режими кўзда тутилган. Бу ҳолда такт сигналлари частотаси кристалл параметрларига боғлиқ бўлади.

*ДХҚ* – дастурларни сақлашга мўлжалланган доимий хотира қурилмаси. Хозирда ДХҚни амалга оширишда Flash-хотира технологияси кенг тарқалган.

*ОХҚ* – маълумотларни сақловчи оператив хотира қурилмаси бўлиб, кўпинча маълумотлар хотираси деб юритилади. ОХҚда ўқиш ва ёзиш цикллари чекланмаган, аммо кучланиш манбаи узилса барча ахборот йўқолади.

*T0, T1 таймерлар* – қатор функцияларни бажаришга дастурланиши мумкин бўлган ўн олти ҳонали дастурланувчи таймерлар. Таймерлардан вақт оралиқларини аниқ шакллантиришда МК чикмаларидаги сигналларни санашда, сигналлар кетма-кетлигини шакллантиришда фойдаланиш мумкин. Таймер/счётчиклар бўлинишлар сўровини шакллантириши мумкин. МКларнинг асосий қўлланиши реал вақт тизимларида бўлганлиги сабабли уларнинг таркибида таймер/счётчикларнинг бўлиши табиий. Баъзи модификация-ларда таймерлар сони 32тага етади.



13.1-расм. МК8051 микроконтроллер архитектураси

*Кетма-кет порт* – МКнинг ташқи дунё билан ахборот алмашинув канали. Бундай алоқа каналлари кристаллнинг минимал сонли чиқмаларини эгаллайди ва каттагина масофа билан минимал харажатли алоқани таъминлайди.

Кириш/чиқаришнинг *параллел портлари* ҳар қандай МКнинг зарурий қисми ҳисобланади. Одатда улардан яқин доирадагилар – датчиклар ва бажарувчи механизмлар билан алоқа қилишда фойдаланилади.

*Бўлиниш тизими* – МКнинг муҳим қисмларидан бири. Реал вақт тизимларининг хусусияти шундан иборатки, улар учун ташқи ҳодисаларга реакция қилиш вақти ўта муҳим параметр ҳисобланади. Ҳодисаларга тездан реакция қилиш муаммоси бўлиниш тизимини ташкил этиш орқали ҳал этилади. Бўлиниш тизимига биноан ҳар бир ҳодиса учун

коднинг алоҳида "бўлаги" ишлаб чиқилади ва бу "бўлак" унга МК реакциясини шакллантиради. Коднинг бу "бўлаги" бўлинишга сўровни ишлаш қисм дастури (кискача, *бўлиниш қисм дастури*) деб аталади ва дастур хотирасига маълум адрес бўйича жойлаштирилади. Бирор бир ҳодиса пайдо бўлиш онда у хусусидаги сигнал *бўлиниш контроллери*га берилади. Бўлиниш контроллери марказий процессор томонидан жорий дастур бажарилишини тўхтатиб, уни бўлинишни ишлаш қисм дастурини бажаришга жалб этади. Ҳодиса содир бўлиш ондан то бўлиниш қисм дастурнинг биринчи йўриқномасини ишлашга бошлашгача вақт оралиғи МКнинг ҳодисага реакцияси вақти деб юритилади. Бўлиниш қисм дастурининг ишланиши тугаганидан сўнг марказий процессор автоматик тарзда тўхтатилган дастурни бажаришга қайтади.

Бўлиниш контроллерининг яна бир вазифаси – ҳодисалар устиворлигини (приоритет) ўрнатиш. *Устиворлик* тушунчасига биноан бажарилаётган бўлиниш дастури бошқа ҳодиса томонидан бўлиниши мумкин, қачонки у жорий бўлиниш дастурига нисбатан устиворликка эга бўлса. МК 8051 таркибидаги бўлиниш контроллери ҳодисаларнинг бешта кириш йўлига эга: иккитаси ташқи қурилмалардан, иккитаси таймерлардан ва биттаси кетма-кет портдан.

3. Қандайдир МК хусусида сўз борганда одатда, у мансуб оила эсга олинади. Битта оилага бир хил ядрога эга бўлган МКлар киради. Ядро – командалар тизими, марказий процессор ишлашининг циклограммаси, дастур хотирасини ва маълумот хотирасини ташкил этиш, бўлиниш тизими ва ташқи қурилмаларнинг базавий набори тушунчаларининг мажмуи. 13.1-расмда 8051 оиланинг



юзлаб бошқа модификацияларини куришда асос хизматини ўтаган ядро келтирилган. Модификациялари орасидаги асосий фарқ ташки курилмалар таркиби ва дастур ёки маълумот хотираси канали оркали аниқланади.

МК ечадиган масалалар диапазонининг кенглиги, истеъмолчиларнинг турли-туман сўровларини қондириш ишлаб чиқарувчиларнинг кўпроқ модификацияларни яратишга ундайди. Аксарият оилаларда модификациялар сони юзга етади, хаттоки ундан ошади.

Оиланинг энг муҳим хусусияти – *дастурий бирга ишлай олиши* (программная совместимость). Бу хусусият ишлаб чиқарувчиларга бир МК оиласини бошқаси билан ўзининг дастурий таъминотини йўқотмасдан алмаштириш имконини беради. Табиийки, оилага қанчалик турли-туман МК кирса, шунчалик оптимал вариантни танлаб олиш осонлашади.

4. Дастурни ишлаб чиқиш МК асосида курилма яратишнинг энг муҳим босқичи ҳисобланади.

Манба уланиши билан МК дархол дастур хотирасидаги (одатда ДХҚ) дастурни бажаришга киришади. Дастур бажарилиши қандайдир белгиланган, кўпинча нуллик адресдан бошланади. Адрес – ДХҚ ячейкаси номери. Жараён куйидагича кечади: МК дастур хотирасидаги сонни ўқийди ва унинг қийматига (машина кодига) қараб арифметик-мантиқий курилма, хотира, портлар ва ҳ.даги ахборот устида маълум ҳаракатларни бажаради. Масалан, МК дастур хотирасидан 32Н сонини ўқиса, 2-номерли кириш йўли портидаги қийматни ўқиб уни регистр-аккумуляторга жойлаш зарурлигини "англайди".

Кўпинча ҳаракатларни тавсифлашга битта байт етмайди. Ўнда МК хотирадан кўшимча байтларни ўқийди.

Харакат бажарилганидан сўнг МК тартиб билан хотиранинг кейинги ячейкасидаги қийматни ўқийди ва ҳ.

МК бажарадиган битта харакатни тавсифловчи байтлар сони машина командаси (йўриқномаси), бундай командалар мажмуаси эса командалар тизими ёки йўриқномалар набори (Instruction Set) деб юритилади. Турли оила МКларининг командалар тизими турлича бўлади.

Шундай қилиб, МК учун дастур сонлар кетма-кетлиги бўлиб, уларнинг қиймати қандай харакатлар бажарилиши лозимлигини кўрсатади. Дастурни ишлаб чиқиш натижасида таркибида ушбу машина кодлари бўлган компьютер файли олинади. ДХҚни дастурлагич ёрдамида файл МК дастур хотирасига киритилади ("тикилади").

МК учун биринчи дастурларни яратувчиларидан машина кодлари қийматларини эса сақлашлари талаб қилинар ва улар кетма-кетлиги қўлда аниқланар эди. Ундай усул самарасиз эди.

Одатда МК ўрнатиладиган қурилма тавсифида дастур бўлиб, ушбу дастур бўйича МК ишлайди. Бу дастур кодлар жадвали кўринишига эга ва уни МК хотирасига жойлаш зарур. Бундай жадвал фрагменти HEX-формат 13.1 жадвалда берилган.

Трансляторларнинг пайдо бўлиши МК учун дастурларни яратишни осонлаштиради. Агар, масалан, дастурда иккита сонни қўшиш керак бўлса, оддийгина  $a = b + c$  деб ёзиш керак. Транслятор ушу ифодани машина командаларининг керакли кетма-кетлигига  $a$ ,  $b$  ва  $c$  ўзгарувчилар хилига қараб ўзгартиради.

Юқори сатҳ тилларининг ишлатилиши ишлаб чиқарувчининг муайян МК командалар тизимидан чалғишга ва инсонга тушунарли ва оддий категориялар

билан иш кўришга имкон беради. Ишлаб чиқарувчидан МК архитектурасини, ўрнатилган ташқи қурилмаларнинг ишлаш принципини ва СИ тилида дастурлашни билиш талаб этилади, холос.

### 13.1-жадвал

```
:100000001028FF3FFF3FFF3FA229FF3FFF3FFF3F79
:10001000FF3FFF3FFF3FFF3FFF3FFF3FFF3FFF3FF0
:100020008A016400DF30620064000F308500FF3019
:1000300086008316E1308500003086008312203070
:1000400095000230051C01309D00AA308600FF306B
:1000500097009601CB202830920000309400293080
:100060008F0002308A001408102291008A01F620C5
```

Дастурларни яратишнинг интеграллашган мухитининг пайдо бўлиши МК учун дастур яратиш самарадорлигини янада оширди, ишлаб чиқарувчилар диққатининг ечиладиган масаланинг моҳиятига қаратилишига имкон беради.

#### Назорат саволлари:

1. Микроконтроллернинг микропроцессордан фарқи нимада?
2. Микроконтроллернинг намунавий тузилмаси.
3. Кетма-кет порт ва параллел портлар.
4. Булиниш тизимида устиворлик тушунчаси.
5. Бўлиниш контроллери.
6. МК учун дастур қандай ишлаб чиқилади?

#### Адабиёт:

1. Угрюмов Е.П. Проектирование элементов и узлов ЭВМ – М.; Высш. шк., 1987, с.3-5.

2. Схемотехника ЭВМ. Учебник для ВУЗов под редакцией Соловьева Г.Н. – М.; Высш. шк., 1985, с.3-8.

3. Безуглов Д.А., Калиенко И.В. Цифровые устройства и микропроцессоры., Ростов-на-Дону, 2006 г.

4. Хоровиц П., Хилл У. Искусство схемотехники. Изд. 3-е, Москва, Мир, 1986 г.

5. Каган Б.М. Электронные вычислительные машины и системы. М. Энергоатомиздат, 1991.

6. Ганиев С.К. Электрон хисоблаш машиналари ва системалари: Олий ўқув юрт.студ. учун дарслик. - Т.: Ўқитувчи, 1990.-2006.

7. Бабич Н.П., Жуков И.А. Основы цифровой схемотехники: Учебное пособие. – М.: Издательский дом "Додека-XXI", К.: "МК-Пресс", 2007. – 480

## Мундарижа

Мукаддима .....	2
1-МАЪРУЗА. Кириш. Схемотехника таърифи, фаннинг бакалавр тайёрлаш тизимидаги мақсади ва вазифалари. Компьютер ва компьютер тизимларининг схемотехник асоси ривожининг қисқача тарихи .....	3
2-МАЪРУЗА. Яримўтказгичлар. Дiodлар, биполяр ва униполяр (МОП) транзисторлар. Ёруғлик. Ёруғликсезувчан ва ёруғлик тарқатувчи қурилмалар. Оптожуфт .....	11
3-МАЪРУЗА. Мантикий элементлар .....	23
4-МАЪРУЗА. Триггерлар .....	32
5-МАЪРУЗА. Базавий узеллар. Регистрлар .....	48
6-МАЪРУЗА. Базавий узеллар. Счётчиклар .....	55
7-МАЪРУЗА. Базавий узеллар. Жамлагич .....	64
8-МАЪРУЗА. Базавий узеллар. Дешифратор, шифратор, код ўзгартгичи ва дастурланувчи мантикий матрица .....	86
9-МАЪРУЗА. Такқослаш схемалари. Мультиплексорлар. Демультиплексорлар .....	99
10-МАЪРУЗА. Хотирловчи қурилмалар .....	109
11-МАЪРУЗА. Рақам-аналог ва аналог-рақам ўзгартгичлар .....	122
12-МАЪРУЗА. Микропроцессорлар .....	132
13-МАЪРУЗА. Микроконтроллерлар .....	139

Бичими 60x84<sup>1/16</sup>

Адади 200 Буюртма 448

«ALOQACHI» нашриёт — матбаа

марказида чоп этилди.

Тошкент шаҳри, А.Темир кўчаси, 108 уй.