

**МИНИСТЕРСТВО ПО РАЗВИТИЮ ИНФОРМАЦИОННЫХ
ТЕХНОЛОГИЙ И КОММУНИКАЦИЙ РЕСПУБЛИКИ
УЗБЕКИСТАН**

**ТАШКЕНТСКИЙ УНИВЕРСИТЕТ ИНФОРМАЦИОННЫХ
ТЕХНОЛОГИЙ**

Кафедра «Электроники и радиотехники»

**ПРОЕКТИРОВАНИЕ ЦИФРОВЫХ
ЛОГИЧЕСКИХ УСТРОЙСТВ**
методические указания для выполнения практических работ

ТАШКЕНТ 2016

Жураева Г.Х., Халикова М.О.

Методические указания для выполнения практических работ по дисциплине **«ПРОЕКТИРОВАНИЕ ЦИФРОВЫХ ЛОГИЧЕСКИХ УСТРОЙСТВ»**

В данном методическом указании даются методы определения характеристик и параметров широко распространённых цифровых интегральных микросхем.

Введение

Дисциплина ПЦЛУ изучается в третьем и четвертом семестрах студентами следующих направлений образования:

5350300-Информационно - коммуникационные технологии в экономике и менеджменте;

5330600-Техника программирования;

5350400- ИКТ в системе профессионального образования;

5350600-Информатизация и библиотековедение;

5350200-Телевизионные технологии (Аудиовизуальные технологии; телестудийное оборудование и системы);

5350500- Технологии почтовой связи;

5330500- Компьютерные технологии (компьютерные технологии, IT-сервис, информационная безопасность, мультимедийные технологии)

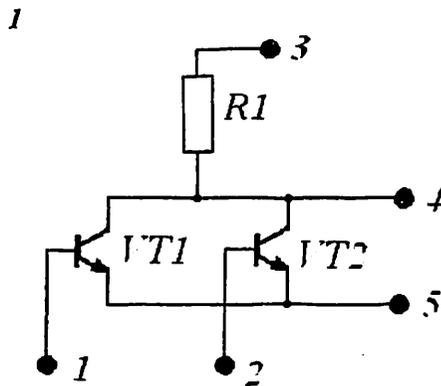
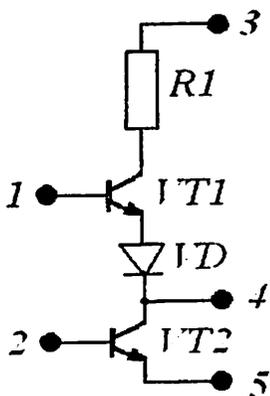
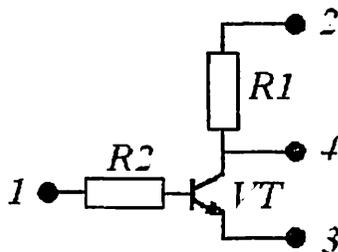
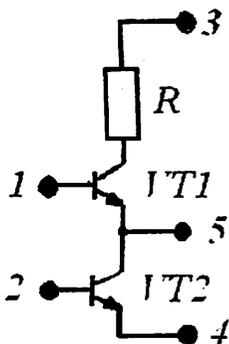
5350100- Телекоммуникационные технологии (телекоммуникационные технологии, телерадиовещание, мобильные системы.

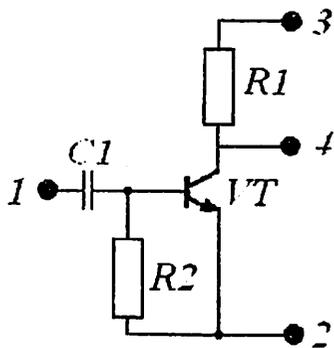
Для изучения дисциплины, ПЦЛУ в учебном плане выделено всего 181 час, из них 36 часов- лекций, 54 часа- лабораторных работ; 18 –часов – практических работ; 73- часа –самообразование.

1-ПРАКТИЧЕСКАЯ РАБОТА

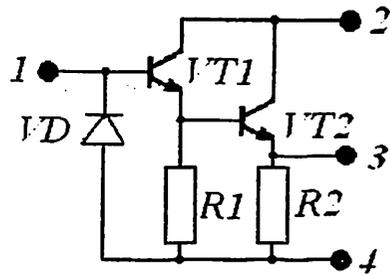
РАЗРАБОТКА СТРУКТУРЫ ТОПОЛОГИИ И ТЕХНОЛОГИИ ИЗГОТОВЛЕНИЯ ИМС ПО ЗАДАНОЙ ЭЛЕКТРИЧЕСКОЙ СХЕМЕ.

Цель работы: изучение основных этапов производства ИМС, ознакомление с их топологией и изучение с системой значения ИМС.

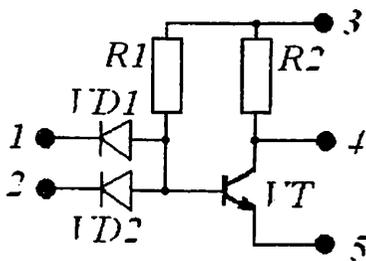




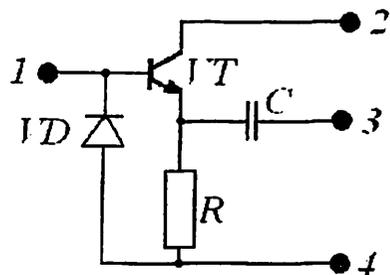
4



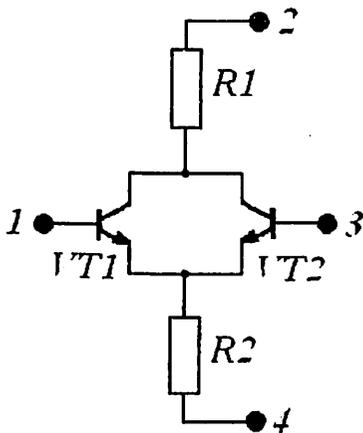
5



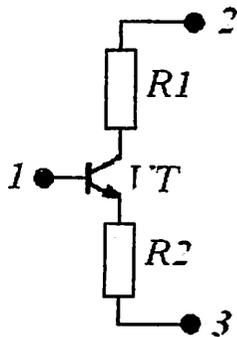
6



7



8



9

Задание для выполнения практической работы:

1. Ознакомление с макетом и наглядным материалом.
2. Определить вид и классификацию каждого ИМС в данном комплексе.
3. Используя справочник дать характеристику изучаемого ИМС по его основным параметрам, выполняемой работе и области применения.
4. Используя основные этапы производства ИМС, расскажите о последовательности изготовления ИМС и дайте краткие сведения о них.
5. По данным вариантам нарисуйте топологию ИМС.

Контрольные вопросы:

1. По какому принципу составляются транзисторы и различные ИМС?
2. Как осуществляется изоляция элементов в ИМС?
3. Чем объясняется широкое распространение элементов типа-ТТЛ?
4. Чем отличаются транзисторы планарной и планорно-эпитаксиальной технологии?
5. Как определяется степень интеграции (сложности) цифровых и аналоговых ИМС?
6. Как преобразуются сигналы в аналоговые ИМС?

2-ПРАКТИЧЕСКАЯ РАБОТА

ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ ТТЛ. ВРЕМЕННЫЕ ДИАГРАММЫ РАБОТЫ ЭЛЕМЕНТА

В цифровой технике используются схемы, имеющие два состояния, обозначаемые нулем и единицей или словами «истинно» и «ложно». Когда требуется обработать или запомнить какие-то числа, то они представляются в виде определенных комбинаций единиц и нулей. Тогда для описания алгоритмов работы цифровых устройств необходим соответствующий математический аппарат.

Такой математический аппарат называется *булева алгебра* или *алгебра – логики*. Его разработал ирландский математик Д. Буль.

Алгебра – логика оперирует двумя логическими выражениями – «истинно» и «ложно». Это условие называется законом «исключения третьего». Для того, чтобы связать эти понятия с цифрами, используемых в двоичной системе счисления, логическое выражение «истинно» обозначают знаком 1 (логическая единица), логическое выражение «ложно» – знаком 0 (логический ноль). Их называют константами булевой алгебры.

В общем случае логические выражения являются функциями логических переменных (аргументы) $x_1, x_2, x_3, \dots, x_n$, каждая из которых может принимать значения 0 или 1. Если число логических переменных n , то можно получить 2^n логических комбинаций из 0 и 1. Например, при $n=1$: $x=0$ и $x=1$; при $n=2$: $x_1, x_2=00, 01, 10, 11$. Для каждого набора переменных логическая функция может принимать значение 0 или 1. Поэтому для n переменных можно образовать 2^n различных логических функций, например при $n=2$ их 16, при $n=3$ – 256, а при $n=4$ – 65536 функций.

Все возможные логические функции n переменных можно образовать с помощью трех основных операций:

- *логическое отрицание* (инверсия, операция НЕ), обозначаемое знаком «-» над соответствующей переменной;
- *логическое сложение* (дизъюнкция, операция ИЛИ), обозначаемое знаком «+»;
- *логическое умножение* (конъюнкция, операция И), обозначаемое знаком «*».

Для обозначения эквивалентности выражений используется знак равенства «=».

Логические функции и операции могут иметь различные формы представления: алгебраическое, табличное, словесное и условное графическое (на схемах). Для задания логической функции требуется указать значение этой функции при всех возможных наборах значений ее аргументов. Таблица значений функции называется *таблицей истинности*.

В таблицах 2.1, 2.2 и 2.3 – приведены логические и алгебраические действия для двух переменных x_1, x_2 .

Таблица 2.1. Таблица истенности инвектора

x	$y = \bar{x}$
0	1
1	0

Таблица 2.2. Таблица истинности дизъюнктора

x_1	x_2	$y = x_1 + x_2$
0	0	0
0	1	1
1	0	1
1	1	1

Таблица 2.3. Таблица истинности конъюнктора

x_1	x_2	$y = x_1 \cdot x_2$
0	0	0
0	1	0
1	0	0
1	1	1

Для рассмотренных логических операций справедлив ряд аксиом (тождеств) и законов, дана таблица 2.4.

Таблица 2.4. Основные аксиомы и законы алгебры – логики

Аксиомы	$0+x=x \quad 0 \cdot x=0$
	$1+x=x \quad 1 \cdot x=x$
	$x+x=x \quad x \cdot x=x$
	$x+\bar{x}=1 \quad x \cdot \bar{x}=0$
	$\bar{\bar{x}}=x$
Законы коммутативности	$x_1 + x_2 = x_2 + x_1 \quad x_1 \cdot x_2 = x_2 \cdot x_1$
Законы ассоциативности	$x_1 + x_2 + x_3 = x_1 + (x_2 + x_3)$
	$x_1 \cdot x_2 \cdot x_3 = x_1 \cdot (x_2 \cdot x_3)$
Законы дистрибутивности	$x_1 \cdot (x_2 + x_3) = (x_1 \cdot x_2) + (x_1 \cdot x_3)$
	$x_1 + (x_2 \cdot x_3) = (x_1 + x_2) \cdot (x_1 + x_3)$

Законы дуальности (теоремы де - Моргана)	$\overline{x_1 + x_2} = \bar{x}_1 \cdot \bar{x}_2$ $\overline{x_1 \cdot x_2} = \bar{x}_1 + \bar{x}_2$
Законы поглощения	$x_1 + x_1 \cdot x_2 = x_1$ $x_1 \cdot (x_2 + x_2) = x_1$

Таблица 2.5. Полный набор логических функций для двух переменных

Значения x_1, x_2 и функции $y_0 \dots y_8$	Выражение через конъюнкцию, дизъюнкцию, инверсию	Основное обозначение операции	Наименование функции	Наименование логического элемента
x_1 0 0 1 1				
x_2 0 1 0 1				
y_0 0 0 0 0	$y_0 = 0$		константа нуля	генератор «нуля»
y_1 0 0 0 1	$y_1 = x_1 \cdot x_2$	\wedge, \cap	конъюнкция, логическое умножение	конъюнктор, схема «И»
y_2 0 0 1 0	$y_2 = x_1 \cdot \bar{x}_2$	$x_1 = x_2$	запрет по x_2	схема «НЕТ» по x_2
y_3 0 0 1 1	$y_3 = x_1$		тавтология по x_1	повторитель по x_1
y_4 0 1 0 0	$y_4 = \bar{x}_1 \cdot x_2$	$x_2 = x_1$	запрет по x_1	схема «НЕТ» по x_1
y_5 0 1 0 1	$y_5 = x_2$		тавтология по x_2	повторитель по x_2
y_6 0 1 1 0	$y_6 = \bar{x}_1 \cdot x_2 + x_1 \cdot \bar{x}_2$	$x_1 \oplus x_2$	исключительное «ИЛИ», логическая неравнозначность	Схема исключительное «ИЛИ»
y_7 0 1 1 1	$y_7 = x_1 + x_2$	$\vee, \cup, +$	дизъюнкция, логическое сложение	схема «ИЛИ», дизъюнктор
y_8 1 0 0 0	$y_8 = \overline{x_1 + x_2}$		отрицание дизъюнкции, стрелка Пирса,	элемент Пирса, схема «НЕ-ИЛИ»

			функция Вебба, операция НЕ-ИЛИ	(«ИЛИ-и НЕ»)
y_9 1 0 0 1	$y_9 = \bar{x}_1 \bar{x}_2 + x_1 x_2$	$x_1 \sim x_2$	эквивалентность, равнозначность	схема сравнения
y_{10} 1 0 1 0	$y_{10} = \bar{x}_2$	\bar{x}_2	инверсия \bar{x}_2	инвертор x_2
y_{11} 1 0 1 1	$y_{11} = x_1 + \bar{x}_2$		импликация от x_2 к x_1	импликатор из x_2
y_{12} 1 1 0 0	$y_{12} = \bar{x}_1$	\bar{x}_1	инверсия x_1	инвертор x_1
y_{13} 1 1 0 1	$y_{13} = \bar{x}_1 + x_2$		импликация от x_1 к x_2	импликатор из x_1
y_{14} 1 1 1 0	$y_{14} = \overline{x_1 \cdot x_2}$	x_1 / x_2	штрих Шеффера, операция «И-НЕ»	элемент Шеффера, схема «И-НЕ»
y_{15} 1 1 1 1	$y_{15} = 1$		константа единицы	генератор «единицы»

Набор функций конъюнкции, дизъюнкции и инверсии получил название *основного функционально полного набора (ОФПН)*.

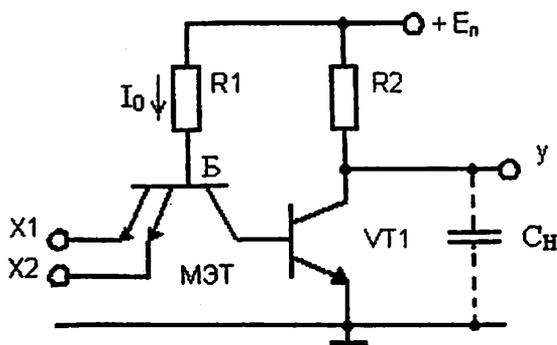


Рис.2.1. ЛЭ ТТЛ с простым инвертором.

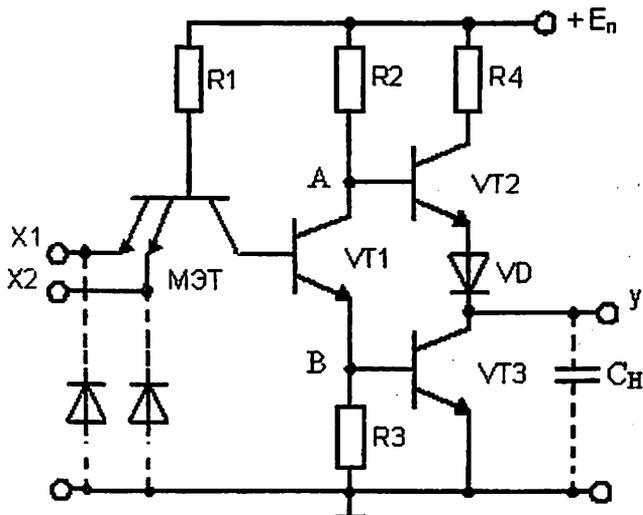


Рис.2.2. ЛЭ ТТЛ со сложным инвертором.

Контрольные вопросы:

1. В чем отличие позиционной системы счисления от непозиционной?
2. Как осуществляется перевод числа из одной системы счисления в другую?
3. Что называется булевыми константами и переменными в алгебре логики?
4. Назовите основные операции булевой алгебры. Как они описываются с помощью таблиц истинности; с помощью алгебраических выражений?
5. Приведите пример счисления функции алгебры логики в словесной форме; в виде таблицы истинности; в виде алгебраического выражения.
6. Что называют функционально полным набором?
7. Какие функции из двух переменных образуют функционально полный набор?
8. Какой набор функций называют основным функционально полным набором?

3-ПРАКТИЧЕСКАЯ РАБОТА

Логические элементы и их параметры

Логическим элементом (ЛЭ) называют электронное устройство, выполняющее одну определенную логическую операцию над входными сигналами.

При построении цифровых интегральных схем (ЦИС) используют только такие ЛЭ, которые реализуют функции ФПН. Эти логические элементы называют **базовыми**. Наиболее часто ЦИС строятся на основе базовых логических элементов, реализующих функцию И-НЕ (логический элемент Шеффера) или функцию ИЛИ-НЕ (логический элемент Пирса).

Таблица. 3.1.

Основа	И	ИЛИ	НЕ
И-НЕ	$y_1 = x_1 \cdot x_2 = \overline{\overline{x_1 + x_2}}$	$y_3 = x_1 + x_2 = \overline{\overline{x_1 \cdot x_2}}$	$y_5 = \bar{x} = x \cdot x$
ИЛИ-НЕ	$y_2 = x_1 \cdot x_2 = \overline{\overline{x_1 \cdot x_2}}$	$y_4 = x_1 + x_2 = \overline{\overline{x_1 + x_2}}$	$y_6 = \bar{x} = x + x$

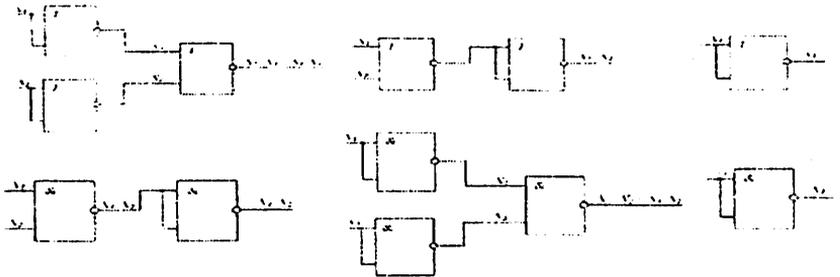


Таблица. 3.1.

№	Практические задания
1.	Схема устройства, выполняющего операцию 4ИЛИ, созданную на основе ЛЭ 2И-НЕ.
2.	Схема устройства, выполняющего операцию 4И, созданную на основе ЛЭ 2И-НЕ.

3.	Схема устройства, выполняющего операцию 4ИЛИ-НЕ, созданную на основе ЛЭ 2И-НЕ.
4.	Схема устройства, выполняющего операцию 4И-НЕ, созданную на основе ЛЭ 2И-НЕ.
5.	Схема устройства, выполняющего операцию 4ИЛИ, созданную на основе ЛЭ 2ИЛИ-НЕ.
6.	Схема устройства, выполняющего операцию 4И, созданную на основе ЛЭ 2ИЛИ-НЕ.
7.	Схема устройства, выполняющего операцию 4ИЛИ-НЕ, созданную на основе ЛЭ 2ИЛИ-НЕ.
8.	Схема устройства, выполняющего операцию 4И-НЕ, созданную на основе ЛЭ 2ИЛИ-НЕ.
9.	Схема устройства, выполняющего операцию 5ИЛИ, созданную на основе ЛЭ 2И-НЕ.
10.	Схема устройства, выполняющего операцию 5И, созданную на основе ЛЭ 2И-НЕ.
11.	Схема устройства, выполняющего операцию 5ИЛИ-НЕ, созданную на основе ЛЭ 2И-НЕ.
12.	Схема устройства, выполняющего операцию 5И-НЕ, созданную на основе ЛЭ 2И-НЕ.
13.	Схема устройства, выполняющего операцию 5ИЛИ, созданную на основе ЛЭ 2ИЛИ-НЕ.
14.	Схема устройства, выполняющего операцию 5И, созданную на основе ЛЭ 2ИЛИ-НЕ.
15.	Схема устройства, выполняющего операцию 5ИЛИ-НЕ, созданную на основе ЛЭ 2ИЛИ-НЕ.
16.	Схема устройства, выполняющего операцию 5И-НЕ, созданную на основе ЛЭ 2ИЛИ-НЕ.
17.	Схема устройства, выполняющего операцию 6ИЛИ, созданную на основе ЛЭ 2И-НЕ.
18.	Схема устройства, выполняющего операцию 6И, созданную на основе ЛЭ 2И-НЕ.
19.	Схема устройства, выполняющего операцию 6ИЛИ-НЕ, созданную на основе ЛЭ 2И-НЕ.
20.	Схема устройства, выполняющего операцию 6И-НЕ, созданную на основе ЛЭ 2И-НЕ.
21.	Схема устройства, выполняющего операцию 6ИЛИ, созданную на основе ЛЭ 2ИЛИ-НЕ.

22.	Схема устройства, выполняющего операцию 6И, созданную на основе ЛЭ 2ИЛИ-НЕ.
23.	Схема устройства, выполняющего операцию 6ИЛИ-НЕ, созданную на основе ЛЭ 2ИЛИ-НЕ.
24.	Схема устройства, выполняющего операцию 6И-НЕ, созданную на основе ЛЭ 2ИЛИ-НЕ.
25.	Схема устройства, выполняющего операцию 7ИЛИ, созданную на основе ЛЭ 2И-НЕ.
26.	Схема устройства, выполняющего операцию 7И, созданную на основе ЛЭ 2И-НЕ.
27.	Схема устройства, выполняющего операцию 7ИЛИ-НЕ, созданную на основе ЛЭ 2И-НЕ.
28.	Схема устройства, выполняющего операцию 7И-НЕ, созданную на основе ЛЭ 2И-НЕ.
29.	Схема устройства, выполняющего операцию 7ИЛИ, созданную на основе ЛЭ 2ИЛИ-НЕ.
30.	Схема устройства, выполняющего операцию 7И, созданную на основе ЛЭ 2ИЛИ-НЕ.
31.	Схема устройства, выполняющего операцию 7ИЛИ-НЕ, созданную на основе ЛЭ 2ИЛИ-НЕ.
32.	Схема устройства, выполняющего операцию 7И-НЕ, созданную на основе ЛЭ 2ИЛИ-НЕ.

Контрольные вопросы:

1. В чем особенность структуры многоэмиттерного транзистора в элементах типа ТТЛ?
2. Перечислите основные статические и динамические параметры и характеристики элементов типа ТТЛ.
3. Перечислите варианты модификаций элементов типа- ТТЛ и цели, для решения которых они разработаны.
4. Каково назначение диодов и транзисторов Шоттки в схемах ТТЛШ?

4-ПРАКТИЧЕСКАЯ РАБОТА

БАЗОВЫЕ ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ НА ОДНОТИПНЫХ МДП-ТРАНЗИСТОРАХ

Таблица 4.1. Сопоставительная таблица инверторов

	Схемы инверторов на МДП - транзисторах	Схемы инверторов на биполярных транзисторах
1	<p><i>n</i> - МДП</p>	
2	<p><i>p</i> - МДП</p>	
3	<p>КМДП</p>	<p>КБТ</p>

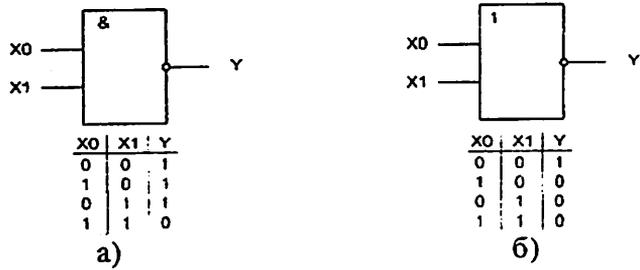


Рис.4.1. УГО и таблицы истинности
а) ЛЭ 2И-НЕ; б) ЛЭ 2ИЛИ-НЕ

Ниже на рис.4.2. приведены принципиальные схемы n -МДП транзистора на основе ЛЭ 2И-НЕ и 2ИЛИ-НЕ

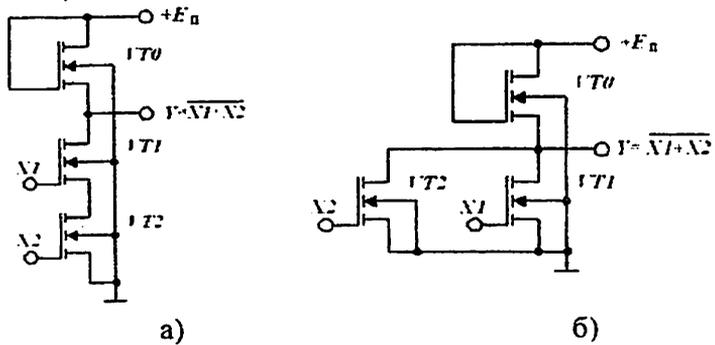


рис.4.1. Принципиальные схемы n -МДП транзисторов на основе а) ЛЭ 2И-НЕ; б) ЛЭ 2ИЛИ-НЕ;

Таблица 4.2. Таблица состояния n -МДП транзистора на основе ЛЭ 2И-НЕ и 2ИЛИ-НЕ.

x_1	x_2	$y = \overline{x_1 \cdot x_2}$	$y = \overline{x_1 + x_2}$	VT_0	VT_1	VT_2
0	0	1	1	Открыто	Закрыто	Закрыто
0	1	1	0		Закрыто	Открыто
1	0	1	0		Открыто	Закрыто
1	1	0	0		Открыто	Открыто

Таблица. 4.3.

№	Практические задания
1.	Схема ЛЭ 8ИЛИ на п-МДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния
2.	Схема ЛЭ 8И на п-МДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния
3.	Схема ЛЭ 8ИЛИ на р-МДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния.
4.	Схема ЛЭ 8И на р-МДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния.
5.	Схема ЛЭ 8ИЛИ-НЕ на п-МДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния.
6.	Схема ЛЭ 8И-НЕ на п-МДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния
7.	Схема ЛЭ 8ИЛИ-НЕ на р-МДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния.
8.	Схема ЛЭ 8И-НЕ на р-МДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния.
9.	Схема ЛЭ 7ИЛИ на п-МДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния.
10.	Схема ЛЭ 7И на п-МДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния
11.	Схема ЛЭ 7ИЛИ на р-МДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния.
12.	Схема ЛЭ 7И на р-МДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния.
13.	Схема ЛЭ 7ИЛИ-НЕ на п-МДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния.
14.	Схема ЛЭ 7И-НЕ на п-МДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния
15.	Схема ЛЭ 7ИЛИ-НЕ на р-МДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния.
16.	Схема ЛЭ 7И-НЕ на р-МДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния.
17.	Схема ЛЭ 6ИЛИ на п-МДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния.
18.	Схема ЛЭ 6И на п-МДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния

19.	Схема ЛЭ БИЛИ на р-МДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния.
20.	Схема ЛЭ БИ на р-МДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния.
21.	Схема ЛЭ БИЛИ-НЕ на п-МДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния.
22.	Схема ЛЭ БИ-НЕ на п-МДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния
23.	Схема ЛЭ БИЛИ-НЕ на р-МДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния.
24.	Схема ЛЭ БИ-НЕ на р-МДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния.
25.	Схема ЛЭ БИЛИ на п-МДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния.
26.	Схема ЛЭ БИ на п-МДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния
27.	Схема ЛЭ БИЛИ на р-МДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния.
28.	Схема ЛЭ БИ на р-МДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния.
29.	Схема ЛЭ БИЛИ-НЕ на п-МДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния.
30.	Схема ЛЭ БИ-НЕ на п-МДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния
31.	Схема ЛЭ БИЛИ-НЕ на р-МДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния.
32.	Схема ЛЭ БИ-НЕ на р-МДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния.

Контрольные вопросы:

1. Приведите схему инвертора на р-МДП?
2. Приведите схему инвертора на п-МДП?
3. Приведите схему инвертора на КМДП?
4. Приведите схему инвертора на КБТ?
5. Приведите схему инвертора на БТ?
6. Приведите схему ключа на МДП – транзисторе с динамической нагрузкой.

5-ПРАКТИЧЕСКАЯ РАБОТА

БАЗОВЫЕ ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ НА КОМПЛИАТОРНЫХ МДП - ТРАНЗИСТОРАХ

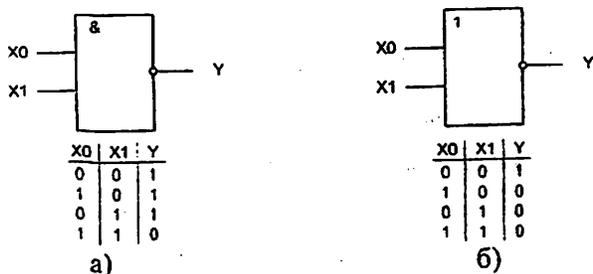


Рис.5.1. УГО и таблицы истинности
а) ЛЭ 2И-НЕ; б) ЛЭ 2ИЛИ-НЕ

Ниже на рис.5.2. приведены принципиальные схемы КМДП транзистора на основе ЛЭ 2И-НЕ и 2ИЛИ-НЕ

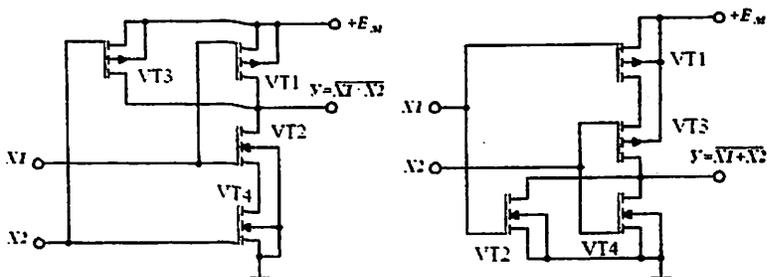


Рис.5.2. Принципиальные схемы *n*-МДП транзисторов на основе а) ЛЭ 2И-НЕ; б) ЛЭ 2ИЛИ-НЕ;

Таблица 5.1. Таблица состояния КМДП транзистора на основе ЛЭ 2И-НЕ и 2ИЛИ-НЕ.

x_1	x_2	$y_2 = x_1 \times x_2$	$y = x_1 + x_2$	VT1	VT2	VT3	VT4
0	0	1	1	Открыто	Закрыто	Открыто	Закрыто
0	1	1	0	Открыто	Закрыто	Закрыто	Открыто
1	0	1	0	Закрыто	Открыто	Открыто	Закрыто
1	1	0	0	Закрыто	Открыто	Закрыто	Открыто

Таблица. 5.2.

№	Практические задания
1.	Схема ЛЭ ЗИЛИ на КМДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния.
2.	Схема ЛЭ ЗИ на КМДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния.
3.	Схема ЛЭ ЗИЛИ-НЕ на КМДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния.
4.	Схема ЛЭ ЗИ-НЕ на КМДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния.
5.	Схема ЛЭ 4ИЛИ на КМДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния.
6.	Схема ЛЭ 4И на КМДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния.
7.	Схема ЛЭ 4ИЛИ-НЕ на КМДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния.
8.	Схема ЛЭ 4И-НЕ на КМДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния.
9.	Схема ЛЭ 5ИЛИ на КМДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния.
10.	Схема ЛЭ 5И на КМДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния.
11.	Схема ЛЭ 5ИЛИ-НЕ на КМДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния.
12.	Схема ЛЭ 5И-НЕ на КМДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния.
13.	Схема ЛЭ 6ИЛИ на КМДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния.
14.	Схема ЛЭ 6И на КМДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния.

15.	Схема ЛЭ 6ИЛИ-НЕ на КМДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния.
16.	Схема ЛЭ 6И-НЕ на КМДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния.
17.	Схема ЛЭ 7ИЛИ на КМДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния.
18.	Схема ЛЭ 7И на КМДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния.
19.	Схема ЛЭ 7ИЛИ-НЕ на КМДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния.
20.	Схема ЛЭ 7И-НЕ на КМДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния.
21.	Схема ЛЭ 8ИЛИ на КМДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния.
22.	Схема ЛЭ 8И на КМДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния.
23.	Схема ЛЭ 8ИЛИ-НЕ на КМДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния.
24.	Схема ЛЭ 8И-НЕ на КМДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния.
25.	Схема ЛЭ 9ИЛИ на КМДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния.
26.	Схема ЛЭ 9И на КМДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния.
27.	Схема ЛЭ 9ИЛИ-НЕ на КМДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния.
28.	Схема ЛЭ 9И-НЕ на КМДП транзисторе условно графическое обозначение, таблица истинности и таблица состояния.

6-ПРАКТИЧЕСКАЯ РАБОТА

ПРОЕКТИРОВАНИЕ КОМБИНАЦИОННЫХ ЦИФРОВЫХ УСТРОЙСТВ: ШИФРАТОР И ДЕШИФРАТОР. ВРЕМЕННАЯ ДИАГРАММА

Цель работы: Умение реализации комбинационных устройств дешифратора системы ФАЛ и временных диаграмм.

Шифратором или **кодером** называется комбинационное логическое устройство для преобразования чисел, закодированных в десятичной, восьмеричной или шестнадцатеричной системе счисления в двоичный или двоично – десятичный коды.

Шифратор имеет m входов и n выходов и преобразует сигнал на одном из входов в n – разрядный параллельный код на выходе. Если шифратор имеет n – выходов, число его входов должно быть не более чем 2^n . Шифратор, имеющий 2^n входов и выходов, называется **полным**. Если число входов шифратора меньше 2^n , он называется **неполным**.

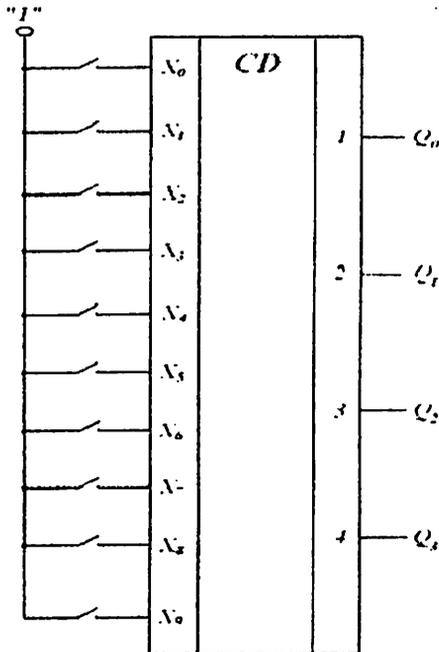


Рис. 6.1. Условное обозначение шифратора, клавиатуры и управление ими

Так как число входов этого шифратора меньше $2^n=16$, то он является неполным. Шифратор имеет 4 независимых выходов и его поведение описывается системой из четырех ФАЛ. Систему ФАЛ, описывающую логику работы шифратора, получим используя таблицу истинности.

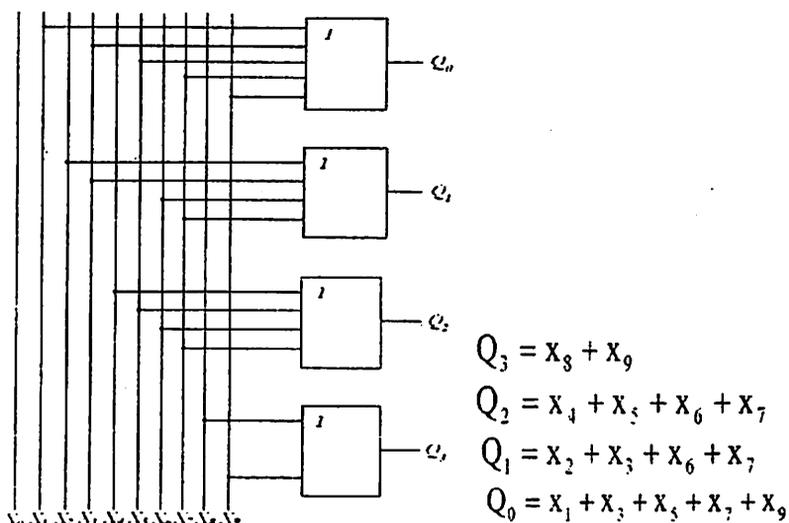


Рис. 6.2. Блок-схема шифратора и система ФАЛ шифратора

Дешифратором или **декодером** называется комбинационное логическое устройство для преобразования чисел из двоичной системы счисления в десятичную, что необходимо, например, в электронных часах, дешифровки информации, содержащейся в программах для ЭВМ и т.п.

Дешифратор выполняет операцию обратную шифратору. Если число адресных входов дешифратора n связано с числом его выходов m соотношением $m=2^n$, то дешифратор называется **полным**.

Если же $m < 2^n$, то дешифратор называют **неполным**.

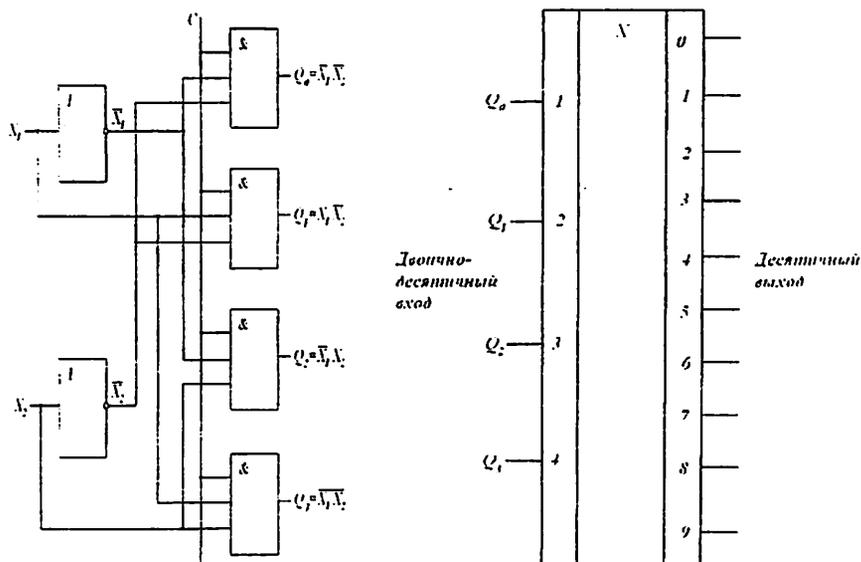


Рис. 6.4. Блок-схема шифратора и условно графическое обозначение

Таблица 6.1.

№	Практические задания
1.	Структурная схема, таблица состояний и УГО шифратора из 5 в 3.
2.	Структурная схема, таблица состояний и УГО дешифратора из 3 в 5.
3.	Структурная схема, таблица состояний и УГО шифратора из 6 в 3.
4.	Структурная схема, таблица состояний и УГО дешифратора из 3 в 6.
5.	Структурная схема, таблица состояний и УГО шифратора из 7 в 3.
6.	Структурная схема, таблица состояний и УГО дешифратора

	из 3 в 7.
7.	Структурная схема, таблица состояний и УГО шифратора из 8 в 3.
8.	Структурная схема, таблица состояний и УГО дешифратора из 3 в 8.
9.	Структурная схема, таблица состояний и УГО шифратора из 9 в 4.
10.	Структурная схема, таблица состояний и УГО дешифратора из 4 в 9.
11.	Структурная схема, таблица состояний и УГО шифратора из 10 в 4.
12.	Структурная схема, таблица состояний и УГО дешифратора из 4 в 10.
13.	Структурная схема, таблица состояний и УГО шифратора из 11 в 4.
14.	Структурная схема, таблица состояний и УГО дешифратора из 4 в 11.
15.	Структурная схема, таблица состояний и УГО шифратора из 12 в 4.
16.	Структурная схема, таблица состояний и УГО дешифратора из 4 в 12.
17.	Структурная схема, таблица состояний и УГО шифратора из 13 в 4.
18.	Структурная схема, таблица состояний и УГО дешифратора из 4 в 13.
19.	Структурная схема, таблица состояний и УГО шифратора из 14 в 4.

20.	Структурная схема, таблица состояний и УГО дешифратора из 14 в 9.
21.	Структурная схема, таблица состояний и УГО шифратора из 15 в 4.
22.	Структурная схема, таблица состояний и УГО дешифратора из 4 в 15.
23.	Структурная схема, таблица состояний и УГО шифратора из 16 в 4.
24.	Структурная схема, таблица состояний и УГО дешифратора из 4 в 16.
25.	Структурная схема, таблица состояний и УГО шифратора из 17 в 5.
26.	Структурная схема, таблица состояний и УГО дешифратора из 5 в 17.
27.	Структурная схема, таблица состояний и УГО шифратора из 18 в 5.
28.	Структурная схема, таблица состояний и УГО дешифратора из 5 в 18.
29.	Структурная схема, таблица состояний и УГО шифратора из 19 в 5.
30.	Структурная схема, таблица состояний и УГО дешифратора из 5 в 19.
31.	Структурная схема, таблица состояний и УГО шифратора из 20 в 5.
32.	Структурная схема, таблица состояний и УГО дешифратора из 5 в 20.

7- ПРАКТИЧЕСКАЯ РАБОТА

ПРОЕКТИРОВАНИЕ КОМБИНАЦИОННЫХ ЦИФРОВЫХ УСТРОЙСТВ: МУЛЬТИПЛЕКСОР, ДЕМУЛЬТИПЛЕКСОР. ВРЕМЕННАЯ ДИАГРАММА

Цель работы: Умение реализации комбинационных устройств мультиплексора и демультимплексора, системы ФАЛ и временных диаграмм

Мультиплексор - он предназначен для *управляемой* передачи данных от *нескольких* источников информации в *один* выходной канал. У мультиплексора может быть, например, четыре информационных входов и один выход. Следовательно, к мультиплексору могут быть подключены до 4 датчиков – источников информационных сигналов. Т.к. у схемы один выход, то подключенному к мультиплексору приемнику, информация может быть обработана только последовательно.

Заданная последовательность обработки информации определяется сигналами, подаваемыми на управляющие входы мультиплексора.

Итак, мультиплексор должен обеспечить передачу информации, поступающей по нескольким входным линиям связи, на одну выходную линию.

Для этого в мультиплексоре предусмотрены две группы входов: информационные и адресные (управляющие). Выбор той или иной входной линии A_i осуществляется в соответствии с поступающим адресным кодом S_0, S_1, \dots

При наличии n управляющих входов можно реализовать $M=2^n$ комбинаций управляющих сигналов S_i .

Из этого следует, что при наличии 2-х управляющих входов мультиплексор обеспечивает выбор одной из 4-х, а при 4-х управляющих входах, одной из 16 входных линий.

Первый мультиплексор называется «из 4 в 1», последний – «из 16 в 1». Используя таблицу истинности мультиплексора «из 4 в 1», запишем функцию алгебры логики, описывающую функционирование такого мультиплексора.

Как известно таблица истинности содержит все возможные наборы значений “к” штук лог. переменных и значения функции, соответствующие каждому из наборов.

Таблица 7.1. Таблица истинности мультиплексора «из 4 в 1»

S_1	S_0	Q
0	0	A_0
0	1	A_1
1	0	A_2
1	1	A_3

Логические операции осуществляют базовые ЛЭ. Прежде чем перейти к синтезу мультиплексора или любого другого логического устройства необходимо выполнить следующие этапы:

1. Осуществить переход от табличного представления к алгебраическому. Для этого каждому набору переменных ставится в соответствии минтерм (конституента единицы) – конъюнкция всех переменных, которые входят в прямом виде, если значение переменной в наборе равно 1, либо в инверсном виде, если значения переменной равно 0 для мультиплексора “из 4 в 1” алгебраическое представление выглядит следующим образом:

$$Q = A_0(\overline{S_1}\overline{S_0}) + A_1(\overline{S_1}S_0) + A_2(S_1\overline{S_0}) + A_3(S_1S_0) (1)$$

2. Минимизировать заданную сложную алгебраическую функцию, которую должен выполнить данный узел.
3. Выбрать элементную базу.
4. Синтезировать электрическую схему.

Из алгебраического представления видно, что для синтеза мультиплексора требуются два инвертора, четыре трехходовых конъюнкторов и один четырехходовой дизъюнктор. (- вход разрешения работы).

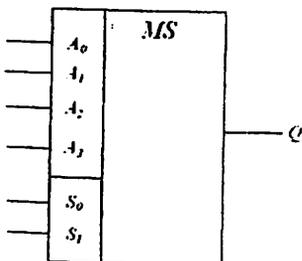


Рис.7.1. Условное обозначение мультиплексора “из 4 в 1”

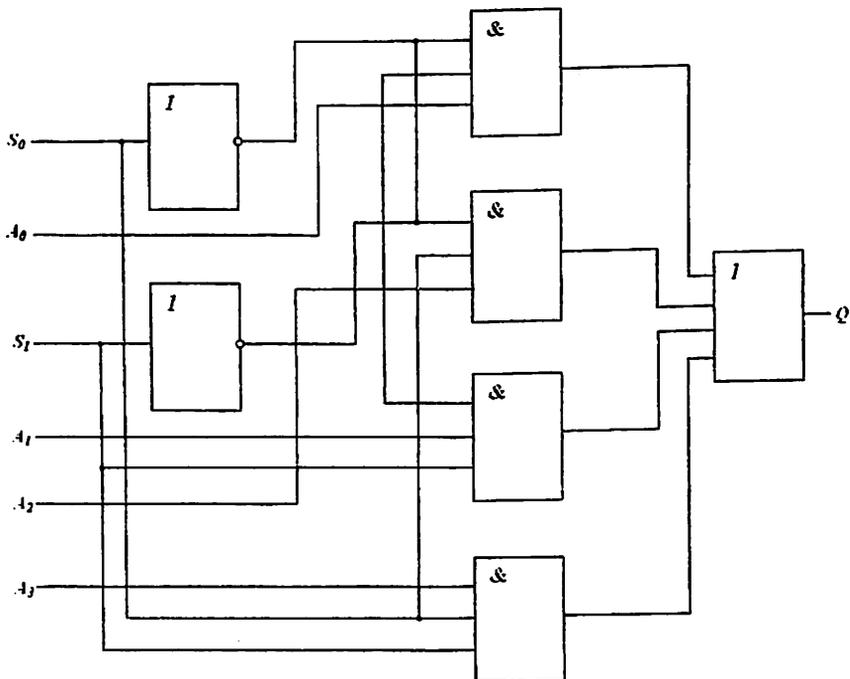


Рис.7.2. Схема мультиплексора “из 4 в 1”

Демультимплексор решает задачу распределения информации, полученную из одного канала между несколькими приемниками, т.е. выполняет функцию, обратную мультиплексированию.

Номер приемника (активизированного выхода) определяется кодовой комбинацией, поданной на его управляющие входы.

Демультимплексор в общем случае имеет один информационный вход, n адресных входов и $M=2^n$ выходов.

Рассмотрим в качестве примера методику построения демультимплексора «из 1 в 1» (с двумя адресными входами S_0, S_1 и четырьмя выходами $Q_0 - Q_3$).

Очевидно, что если информация направлена в одну из M выходных линий, то на остальных выходных линиях поддерживается логический 0.

Таблица 7.2. Таблица истинности демультиплексора «из 1 в 4»

S_1	S_0	Q_0	Q_1	Q_2	Q_3
0	0	A	0	0	0
0	1	0	A	0	0
1	0	0	0	A	0
1	1	0	0	0	A

Данной таблице соответствует следующая система ФАЛ

$$Q_0 = A(S_0 \bar{S}_1) = \overline{A + S_0 + S_1} \quad Q_2 = A(S_0 \bar{S}_1) = \overline{A + S_0 + S_1}$$

$$Q_1 = A(\bar{S}_0 S_1) = \overline{A + S_0 + S_1} \quad Q_3 = A(S_0 S_1) = \overline{A + S_0 + S_1}$$

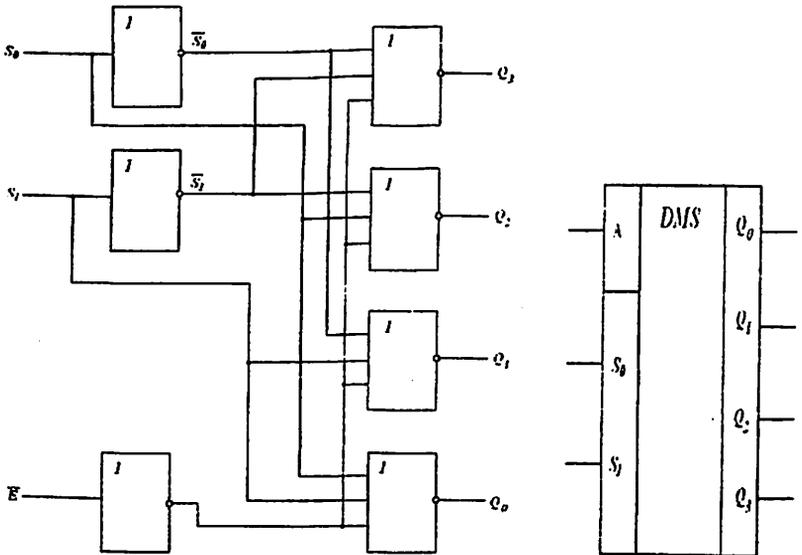


Рис.7.3. Демультиплексор «из 1 в 4» и его условное графическое обозначение

Таблица 7.3.

№	Практические задания
1.	Структурная схема, таблица состояний и УГО мультимплектора из 15 в 1
2.	Структурная схема, таблица состояний и УГО демультимплектора из 1 в 15
3.	Структурная схема, таблица состояний и УГО мультимплектора из 14 в 1
4.	Структурная схема, таблица состояний и УГО демультимплектора из 1 в 14
5.	Структурная схема, таблица состояний и УГО мультимплектора из 13 в 1
6.	Структурная схема, таблица состояний и УГО демультимплектора из 1 в 13
7.	Структурная схема, таблица состояний и УГО мультимплектора из 12 в 1
8.	Структурная схема, таблица состояний и УГО демультимплектора из 1 в 12
9.	Структурная схема, таблица состояний и УГО мультимплектора из 11 в 1
10.	Структурная схема, таблица состояний и УГО демультимплектора из 1 в 11
11.	Структурная схема, таблица состояний и УГО мультимплектора из 10 в 1
12.	Структурная схема, таблица состояний и УГО демультимплектора из 1 в 10
13.	Структурная схема, таблица состояний и УГО мультимплектора из 9 в 1
14.	Структурная схема, таблица состояний и УГО демультимплектора из 1 в 9
15.	Структурная схема, таблица состояний и УГО мультимплектора из 8 в 1
16.	Структурная схема, таблица состояний и УГО демультимплектора из 1 в 8
17.	Структурная схема, таблица состояний и УГО мультимплектора из 7 в 1
18.	Структурная схема, таблица состояний и УГО демультимплектора из 1 в 7
19.	Структурная схема, таблица состояний и УГО мультимплектора из 6 в 1
20.	Структурная схема, таблица состояний и УГО демультимплектора из 1 в 6
21.	Структурная схема, таблица состояний и УГО мультимплектора из 5 в 1
22.	Структурная схема, таблица состояний и УГО демультимплектора из 1 в 5
23.	Структурная схема, таблица состояний и УГО мультимплектора из 4 в 1
24.	Структурная схема, таблица состояний и УГО демультимплектора из 1 в 4
25.	Структурная схема, таблица состояний и УГО мультимплектора из 3 в 1
26.	Структурная схема, таблица состояний и УГО демультимплектора из 1 в 3

8-ПРАКТИЧЕСКАЯ РАБОТА

ПРОЕКТИРОВАНИЕ КОМБИНАЦИОННЫХ ЦИФРОВЫХ УСТРОЙСТВ: ТРИГГЕРЫ. ВРЕМЕННАЯ ДИАГРАММА

Цель работы: Умение реализовать комбинационные устройства триггеров, системы ФАЛ и временных диаграмм.

Все логические схемы принято разбивать на два класса. Мы уже познакомились с первым классом таких схем – комбинационными логическими схемами, в которых используются логические элементы И, ИЛИ, НЕ. Второй класс логических схем – так называемые последовательностные схемы. К ним относятся время задающие и запоминающие устройства.

Исходной структурной ячейкой, на основе которой строятся комбинационные логические схемы, является логический элемент (вентиль). В случае последовательностных логических схем роль такой структурной ячейки играет триггер.

RS-триггер. Условное графическое обозначение RS-триггера показано на рис. 8.1. Обратите внимание на то, что RS-триггер имеет два входа R и S и два выхода Q и \bar{Q} . В триггерах выходы всегда находятся в противоположных (комплементарных) состояниях.

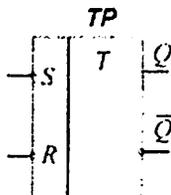
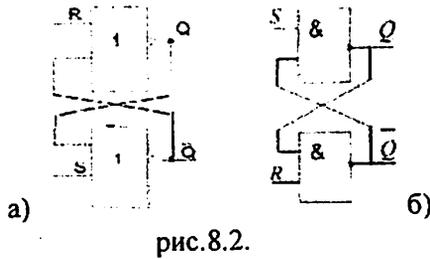


Рис. 8.1. Условное графическое обозначение RS-триггера.

Принцип работы RS-триггера иллюстрирует таблица истинности

Вход		Выход	
S	R	Q_i	\bar{Q}_i
0	0	Q_{i-1}	\bar{Q}_{i-1}
1	0	1	0
0	1	0	1
1	1	неопределенно	

Таблица 1. Таблица истинности RS-триггера.



S	R	$Q(t+1)$
0	0	$Q(t)$
0	1	0
1	0	1
1	1	-

\bar{R}	\bar{S}	Q_{t+1}
0	0	-
1	0	1
0	1	0
1	1	$Q(t)$

рис.8.3. Схема и таблица состояний RS – триггера на элементах
 а) ИЛИ-НЕ б)И-НЕ.

JK- триггер. JK- триггер является двухступенчатым триггером, т.к. в нем присутствует второй запоминающий элемент. При этом новая информация формируется сначала только во входной ступени триггера при сохранении старой информации в выходной его ступени.

На рис.8.3. представлен один из возможных вариантов двухступенчатого универсального синхронного JK – триггера. Назначение входов J и K такое же, как и входов S и R (установка и сброс) : J – вход для установки состояния 1 в универсальном триггере; K- вход для установки состояния 0 в универсальном триггере; С- управляющий вход разрешения приема информации.

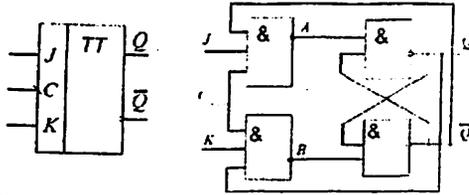


Рис.8.4. Схема двухступенчатого JK- триггера.

Он состоит из основного (ведущего) триггера на логических элементах D3, D4 со схемой совпадений на элементах D1 и D2, первые входы которых объединены и являются входами синхронизирующих (тактирующих) импульсов, и дополнительного (ведомого) триггера на логических элементах D7, D8 с промежуточной схемой совпадений на элементах D5 и D6. Дополнительный триггер также является тактируемым, причем в отличие от основного, он синхронизируется потенциалом логического нуля. Для этой цели в схему введен инвертор тактового импульса D9.

Таблица8.2. Таблица переходов JK –триггера.

C	J	K	Q_i	\bar{Q}_i	Примечание
1	0	0	Q_{i-1}	\bar{Q}_{i-1}	хранение
1	1	0	1	0	записывается 1
1	0	1	0	1	записывается 0
1	1	1	\bar{Q}_{i-1}	Q_{i-1}	счетный режим

Из таблицы переходов JK- триггера видно, что при подаче на информационные входы J и K одновременно двух логических единиц, триггер работает как счетный, т.е. триггер изменяет своё состояние при каждом тактовом импульсе.

D-триггер. Асинхронный D-триггер функционирует в соответствии с рис.8.4.

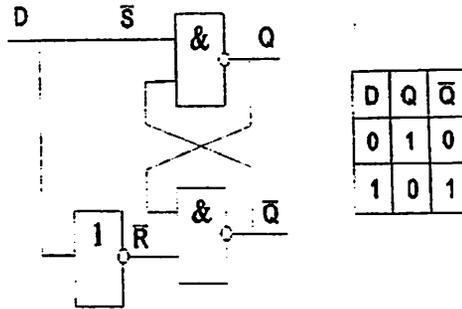


Рис.8.5. Схема и таблица состояний D – триггера

Буква D в названии триггера - это начальная буква слова Delay-задержка. Основой D-триггера является RS-триггера, у которого выполняется условие несовпадения управляющих сигналов, а управляющий вход у триггера один.

T-триггер - это триггер со счетным входом. Он имеет один информационный вход. При приходе активного сигнала T-триггер меняет свое состояние на противоположное и сохраняет предыдущее значение при отсутствии сигнала на входе.

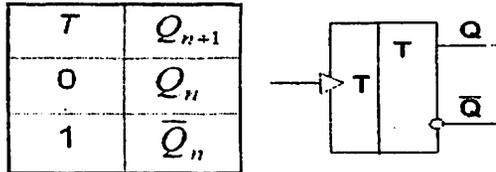


Рис.8.6. Схема и таблица состояний T- триггера.

T-триггер может быть построен на основе схем RS(а) и D(б) триггеров.

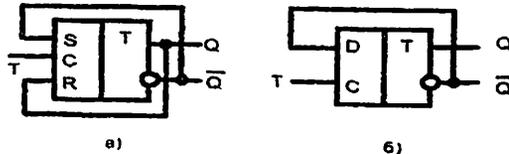


Рис 8.7. T-триггер на основе схем RS(а) и D(б) триггеров.

Таблица 8.3.

Нарисуйте условное графическое обозначение и таблицу состояния, структурную схему RS – триггера на элементах ИЛИ-НЕ
Нарисуйте условное графическое обозначение и таблицу состояния, структурную схему RS – триггера на элементах И-НЕ.
Нарисуйте условное графическое обозначение и таблицу состояния, структурную схему JK – триггера на элементах ИЛИ-НЕ.
Нарисуйте условное графическое обозначение и таблицу состояния, структурную схему JK – триггера на элементах И-НЕ.
Нарисуйте условное графическое обозначение и таблицу состояния, структурную схему D – триггера на элементах ИЛИ-НЕ
Нарисуйте условное графическое обозначение и таблицу состояния, структурную схему D – триггера на элементах И-НЕ.
Нарисуйте условное графическое обозначение и таблицу состояния, структурную схему T – триггера на элементах ИЛИ-НЕ
Нарисуйте условное графическое обозначение и таблицу состояния, структурную схему T – триггера на элементах И-НЕ.

9-ПРАКТИЧЕСКАЯ РАБОТА

ПРОЕКТИРОВАНИЕ КОМБИНАЦИОННЫХ ЦИФРОВЫХ УСТРОЙСТВ: ТРИГГЕРЫ. ВРЕМЕННАЯ ДИАГРАММА

Цель работы: Умение реализовать комбинационные устройства триггеров, системы ФАЛ и временных диаграмм

Регистры

Регистром называется последовательность узла, предназначенного для записи, хранения и (или) сдвига информации, представленной в виде многоразрядного двоичного кода (от английского - Register).

Регистры содержат элементы памяти (триггеры), а также вспомогательные элементы в виде комбинационных схем для управления работой триггеров.

В регистрах выполняются следующие операции:

1. Ввод и вывод хранимой информации;
2. Хранение информации;
3. Сдвиг хранимой информации вправо либо влево на определенное число разрядов;
4. Преобразование кода числа из последовательного в параллельный и наоборот.

Основная функция регистра - хранение многоразрядного числа, которое представлено в двоичной системе счисления.

Для хранения n -разрядного двоичного числа регистр должен содержать n триггеров.

По способу приема информации регистры подразделяются:

- ✓ *параллельные* - информация записывается и считывается только в параллельной форме;
- ✓ *Последовательные* или сдвигающие (сдвиговые) - запись и считывание информации происходит только в последовательной форме;
- ✓ *последовательно-параллельные* - универсальные регистры для преобразования кода из параллельного в последовательный и наоборот.

По числу каналов передачи информации:

- ✓ *однофазные* - информация вводится либо в прямом, либо в обратном коде;
- ✓ *парафазные* - одновременно и прямом, и в обратном кодах.
- ✓ При этом как входная, так и выходная информация может быть представлена как в прямом, так и инверсном входе.

В параллельных регистрах прием и выдача двоичных слов осуществляется по всем разрядам одновременно. Поэтому триггеры, соответствующие разным разрядам не связаны между собой.

Каждый триггер в параллельном регистре имеет свои независимые входы и выходы. Тактовые входы всех триггеров соединены между собой.

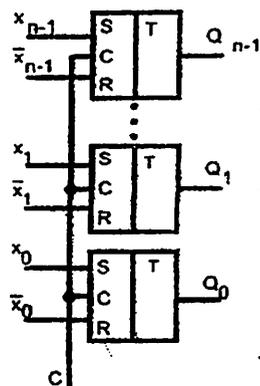


рис.9.1. Параллельный регистр

В *сдвигающем (последовательном) регистре* триггеры соединены последовательно, т. е. выходы предыдущего триггера передают информацию на входы последующего. Простейший однофазный сдвиговой регистр на *D*-триггерах изображен на рис.9.2.

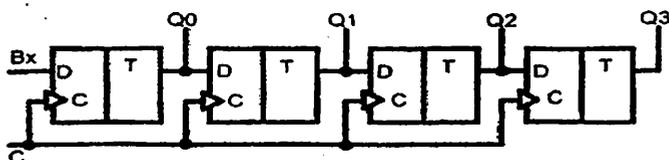


рис.9.2. Однофазный сдвиговой регистр на *D*-триггерах

В сдвиговых регистрах используются только двухступенчатые триггеры. Это гарантирует сдвиг информации строго на один разряд по каждому импульсу синхронизации. При использовании других триггеров процесс сдвига становится неуправляемым и за один импульс синхронизации кодовое число может быть сдвинуто на несколько разрядов.

При использовании одного входа и только одного выхода двоичное слово вводится в сдвиговой регистр и выводится из него в последовательной форме. Такое представление позволяет уменьшить разрядность шин в цифровом устройстве. С другой стороны, при этом замедляется быстродействие. Для осуществления ввода либо вывода числа в *n*-разрядном регистре требуется *n*-синхронизирующих импульсов по числу триггеров.

Таблица 8.3.

1. Нарисуйте схему 3-разрядного последовательного регистра сдвига вправо на основе D-триггера.
2. Нарисуйте схему 4-разрядного последовательного регистра сдвига влево на основе D-триггера.
3. Нарисуйте схему 4-разрядного последовательного регистра сдвига вправо на основе D-триггера.
4. Нарисуйте схему 3-разрядного последовательного регистра сдвига влево на основе D-триггера.
5. Нарисуйте схему 3-разрядного последовательного регистра сдвига вправо на основе JK-триггера.
6. Нарисуйте схему 4-разрядного последовательного регистра сдвига влево на основе JK-триггера.
7. Нарисуйте схему 4-разрядного последовательного регистра сдвига вправо на основе JK-триггера.
8. Нарисуйте схему 3-разрядного последовательного регистра сдвига влево на основе JK-триггера.

Литература

1. Х.К.Арипов , А.М.Абдуллаев , Н.Б.Алимова, Х.Х.Бустанов, Е.В.Объедков, Ш.Т.Тошматов. Схемотехника. Т.: ТАФАККУР БЎСТОНИ, 2013 й.
2. Х.К.Арипов, А.М.Абдуллаев, Н.Б. Алимова, Х.Х.Бустанов, Е.В.Объедков, Ш.Т. Тошматов. Схемотехника .Т.: ALOQAC'NI, 2010г.
3. А.Г.Алексенко. Основы микросхемотехники. Изд. 3-е - Москва. ЮНИМЕДИАСТАЙЛ.2002г.-448 с.
4. Схемотехника ЭВМ, С.Н. Лехин, Санкт-Петербург, 2010г.
5. Карлашук В.И. Электронная лаборатория на IBMPC. 2006г.
6. Цифровая схемотехника ., Ю.Е.Мишулин., В.А.Немонтов., 2006г.
7. Основы схемотехники цифровых устройств, Л.А.Брякин..2005г.
8. Multisim User Guide . National Instruments , 2007 у.
9. Н.П.Бабич, И.А.Жуков. Компьютерная схемотехника. Учебное пособие К.: МК-Пресс. 2004г., 576 стр.
10. Digital Logic Design.. JiwangWareZ Scene ., Fourth Edition ., 2002

Учебное издание
план 2015-2016 уч. г.

Жураева Гульчехра Хамидовна
Халикова Малика Олимовна

**ПРОЕКТИРОВАНИЕ ЦИФРОВЫХ
ЛОГИЧЕСКИХ УСТРОЙСТВ**
методические указания для выполнения практических работ

- 5350300-Информационно-коммуникационные технологии в экономике и менеджменте;
5330600-Техника программирования;
5350400- ИКТ в системе профессионального образования;
5350600-Информатизация и библиотековедение;
5350200-Телевизионные технологии (Аудиовизуальные технологии; телестудийное оборудование и системы);
5350500- Технологии почтовой связи;
5330500- Компьютерные технологии (компьютерные технологии, IT-сервис, информационная безопасность. мультимедийные технологии)
5350100- Телекоммуникационные технологии (телекоммуникационные технологии, телерадиовещание, мобильные системы.

Подписано в печать 2016г.
Бумага офсетная .Заказ № .Печать
Тираж экз.

Утверждено к печати
Ташкентским университетом информационных технологий
(протокол заседания Учебно-методического совета ТУИТ
№ от 2016 г.)

Ответственный редактор: _____
Корректор: Умарова К.Х.

Формат 60x84 1/16. Печ. лист 375.
Заказ № 104. Тираж 300.
Отпечатано в «Редакционно издательском»
отделе при ТУИТ.
Ташкент ул. Амир Темур, 108.